

UM6551

Asynchroner Schnittstellen-Baustein (ACIA)

Hersteller: UMC

Allgemeine Beschreibung

Der Baustein UM6551 dient der asynchronen seriellen Datenübertragung in Zusammenarbeit mit einem 6500-/6800-Mikrocomputersystem. Die exakte Baustein-Benennung lautet "Asynchronous Communication Interface Adapter", abgekürzt: ACIA. Der UM6551 ist in NMOS-Technologie hergestellt und im 28-poligen DIL-Gehäuse erhältlich.

Um den Hardware-Umfang so gering wie möglich zu halten, ist darüber hinaus die gesamte Steuerung softwaremäßig von der zugehörigen MPU über entsprechende programmierbare Register auf der ACIA angelegt. Ein Baud-Raten-Generator ist auf dem Chip enthalten, so daß an externen Zusatzkomponenten lediglich ein Quarz-Oszillator erforderlich ist.

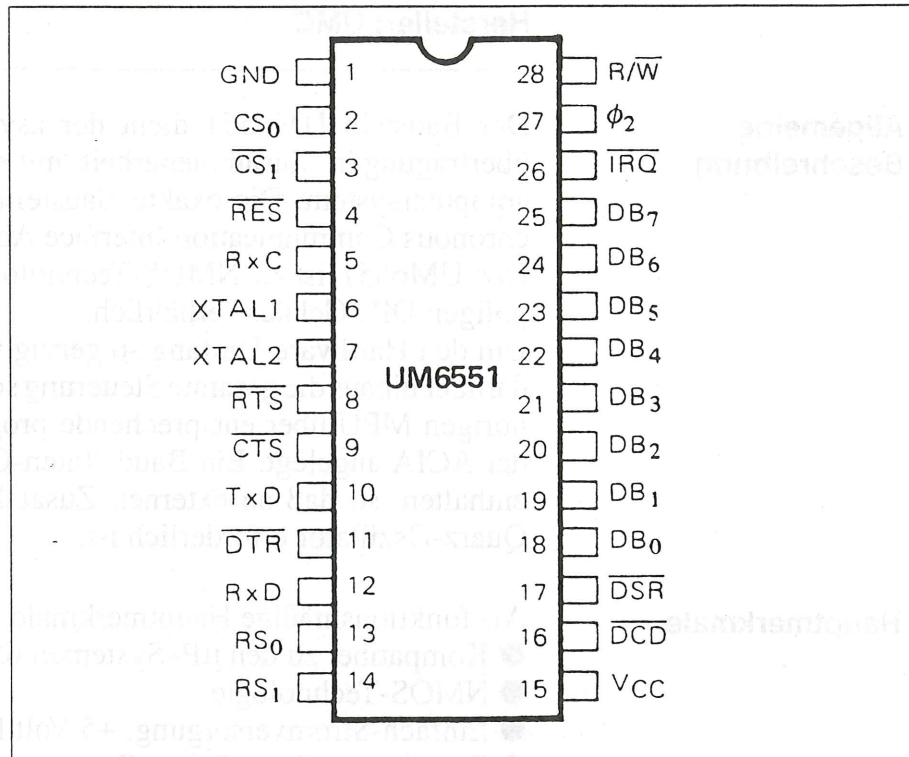
Hauptmerkmale

Als funktionsmäßige Hauptmerkmale lassen sich herausstellen:

- Kompatibel zu den μ P-Systemen 6500 und 6800
- NMOS-Technologie
- Einfach-Stromversorgung: +5 Volt DC
- Eingebauter Baud-Raten-Generator mit 15 programmierbaren Baud-Raten (50 bis 19200 Baud)
- Programmierbarer Interrupt und Status-Register für einfache Software-Steuerung
- Serieller Echo-Modus
- Falsch-Start-Bit-Erkennung
- Bidirektionaler 8-Bit-Datenbus für direkten Datenaustausch mit dem Mikroprozessor
- Externer 16-fach Takteingang für nicht-standardmäßige Baud-Raten (bis zu 126 kBaud)
- Programmierbare Wortlängen; Anzahl der Stop-Bits; Parity-Bit-Erzeugung und -Erkennung
- Steuersignale für Datensatz/Modem vorgesehen
- Verschiedene Vergleichs-Bit-Möglichkeiten ("Parity"): gerade, ungerade, ohne Check, Markierung, Zwischenraum.
- Voll-Duplex- oder Halb-Duplex-Betrieb
- 5-, 6-, 7-, 8- oder 9-Bit-Übertragung möglich
- Betrieb mit 1 oder 2 MHz
- Vollständige TTL-Kompatibilität
- Gehäuse-Varianten: 28-Pin-Gehäuse in Kunststoff od. Keramik

Anschlußbelegung

Folgende Darstellung zeigt die Pin-Anordnung am 28-poligen Gehäuse:



Anschlußbeschreibung (Teil 1)

Pin-Name	Pin-Nr.	Beschreibung
V _{CC}	15	Versorgungsspannung: +5 V +/- 5%
GND	1	Versorgungsspannung: 0 V (Masse)
RES	4	Reset-Anschluß (LOW-aktiv); löscht bei Initialisierung die internen Register
Ø 2	27	Takteingang; entspricht dem µP-System-Takt und triggert den Datentransfer zwischen µP und ACIA
R/W	28	Read/Write: Steuersignal für Datenübertragungsrichtung aus der MPU: bei R/W = LOW überträgt MPU an ACIA, bei HIGH übernimmt MPU Daten von ACIA

Anschlußbeschreibung (Teil 2)

Pin-Name	Pin-Nr.	Beschreibung
$\overline{\text{IRQ}}$	26	Interrupt-Request: Interrupt-Steuersignal aus Interrupt-Logik; "Open-Drain"-Ausgang für "Wired-OR" zur MPU; LOW-aktiv.
CS0; $\overline{\text{CS1}}$	2; 3	Chip-Select-Eingänge: entweder direkt oder über Decoder mit den μP -Adreßleitungen verbunden; ACIA ist angewählt bei CS0 = HIGH und CS1 = LOW.
RS0; RS1	13; 14	Register-Select-Eingänge: an die μP -Adreßleitungen anzuschließen zur Ansteuerung der internen ACIA-Register (siehe hierzu separate Tabelle "Register-Auswahl").
DB0 bis DB7	18 ...25	Datenbus-Leitungen (8 Bit): bidirektional für Daten-Transfer zwischen MPU und ACIA; i.a. hochohmig außer bei Lese-Zyklen.
XTAL1; XTAL2	6; 7	Anschlüsse für den externen Quarz-Oszillator (1,8432 MHz) zur Ableitung der verschiedenen Baud-Raten. Alternativ: Externer Taktgenerator an Pin XTAL1, dann bleibt XTAL2 offen.
TxD	10	Serieller Ausgang für NRZ-Daten zum Modem: LSB ist das zuerst übertragene Bit; Übertragungsrate entsprechend der programmierten Baud-Rate.
RxD	12	Serieller Eingang für NRZ-Daten vom Modem: erstes Bit ist LSB; entsprechend der Programmierung des Steuer-Registers wird entweder mit der eingestellten Baud-Rate oder mit einem extern vorgegebenen Takt übertragen.
RxC	5	Bidirektionaler Anschluß: entweder Eingang oder Ausgang des 16-fach Takts für den Empfänger; letztgenannter Modus stellt sich ein, wenn der interne Baud-Raten-Generator auf Empfang des Datentaktes programmiert ist.
$\overline{\text{RTS}}$	8	"Request To Send": Ausgang zur Steuerung des Modems durch die MPU. Status von $\overline{\text{RTS}}$ hängt vom Inhalt des Kommando-Registers ab.
$\overline{\text{CTS}}$	9	"Clear To Send": Eingang zur Steuerung des Senders. Freigabe erfolgt mit LOW-Pegel; automatische Sperre des Senders bei HIGH.

Anschlußbeschreibung (Teil 3)

Pin-Name	Pin-Nr.	Beschreibung
DTR	11	"Data Terminal Ready": Ausgang zur Anzeige des ACIA-Status an Modem. LOW gibt Freigabe des 6551 an, HIGH die Sperre, MPU steuert diesen Pin mittels Bit 0 des Kommando-Registers
DSR	17	"Data Set Ready": Eingang zur Status-Angabe des Modems an die ACIA. LOW signalisiert "bereit", HIGH "nicht bereit". DSR ist ein hochohmiger Eingang und darf nicht "offen" sein, d.h. fest auf LOW oder HIGH anzuschließen bei Nicht-Benutzung.
DCD	16	"Data Carrier Detect": Eingang zur Status-Anzeige des "Carrier Detect"-Ausgangs am Modem an die ACIA. LOW gibt das Vorhandensein des Carrier-Signals an, HIGH das Fehlen. Wie SDR muß DCD bei Nicht-Benutzung auf festen Pegel gelegt werden.

Hinweis

NRZ bedeutet "No Return to Zero", d.h. Wechselsignal.

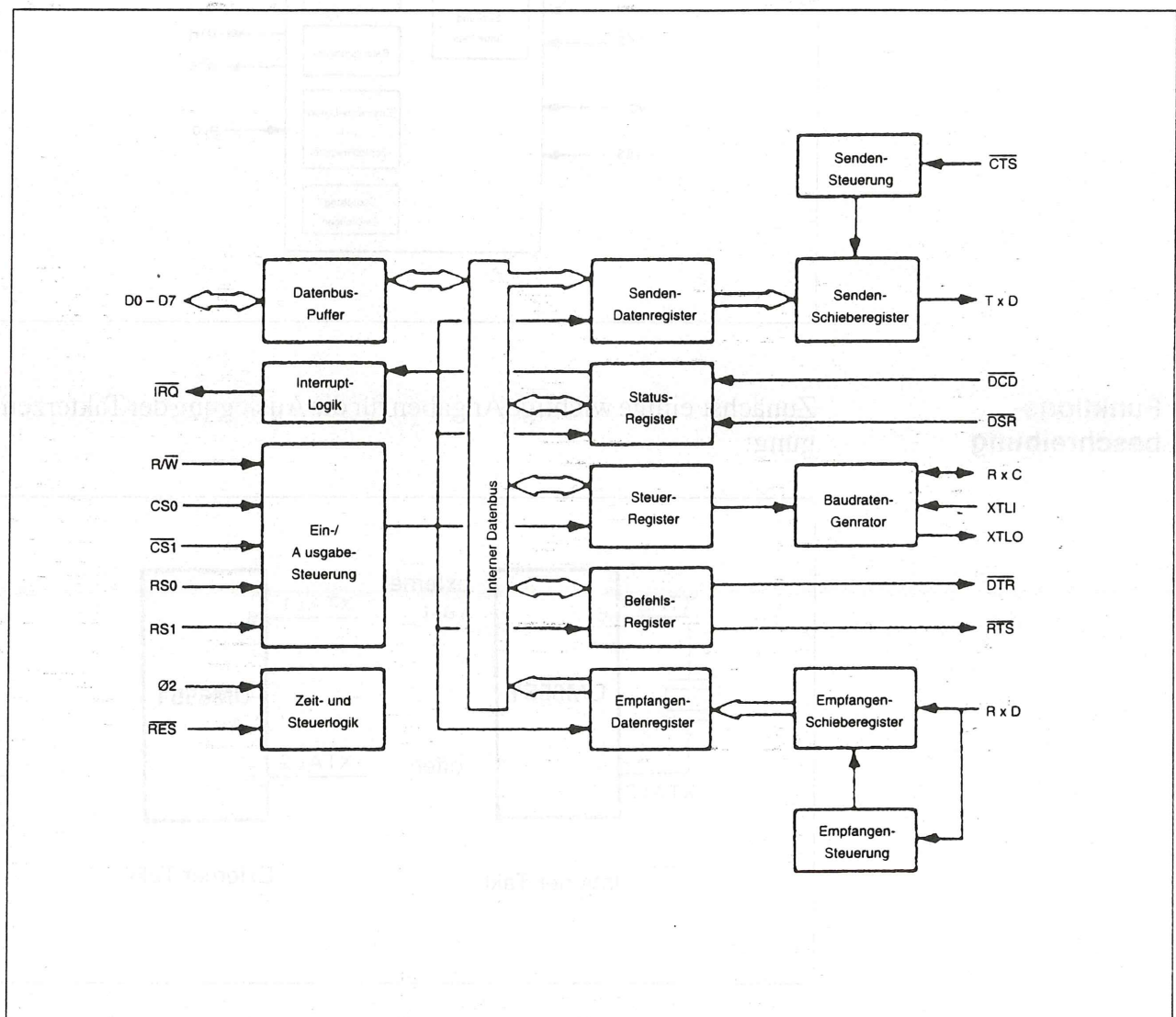
Zur Erläuterung der oben erwähnten "Register-Auswahl" dient die folgende Tabelle:

RS ₁	RS ₀	Schreiben	Lesen
0	0	Senden-Daten-Register	Empfänger-Daten-Register
0	1	programmierter Reset (Daten beliebig)	Status-Register
1	0	Kommando-Register	
1	1	Steuer-Register	

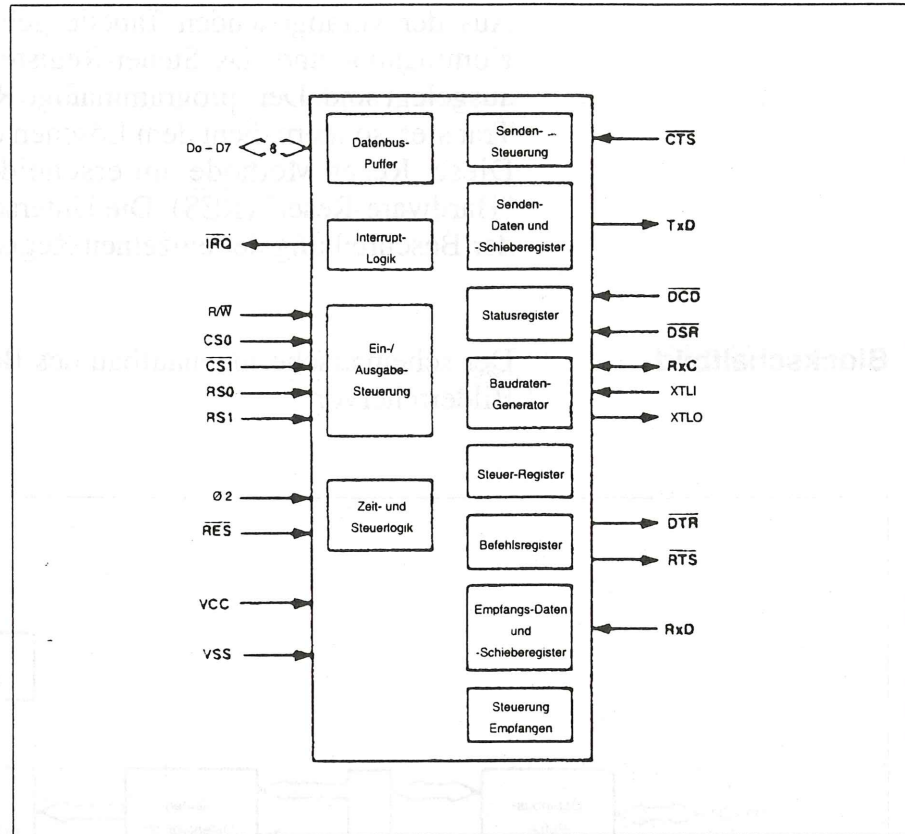
Aus der vorangehenden Tabelle geht hervor, daß lediglich das Kommando- und das Steuer-Register für Lesen und Schreiben ausgelegt sind. Der "programmatische Reset" bewirkt keinen Daten-Transfer, sondern dient dem Löschen der internen ACIA-Register. Diese Reset-Methode unterscheidet sich geringfügig vom "Hardware-Reset" ($\overline{RES}$). Die Unterschiede im Detail werden bei der Beschreibung der einzelnen Register angegeben.

Blockschaltbild

Der schematische Innenaufbau des Bausteins geht aus folgenden Bildern hervor:

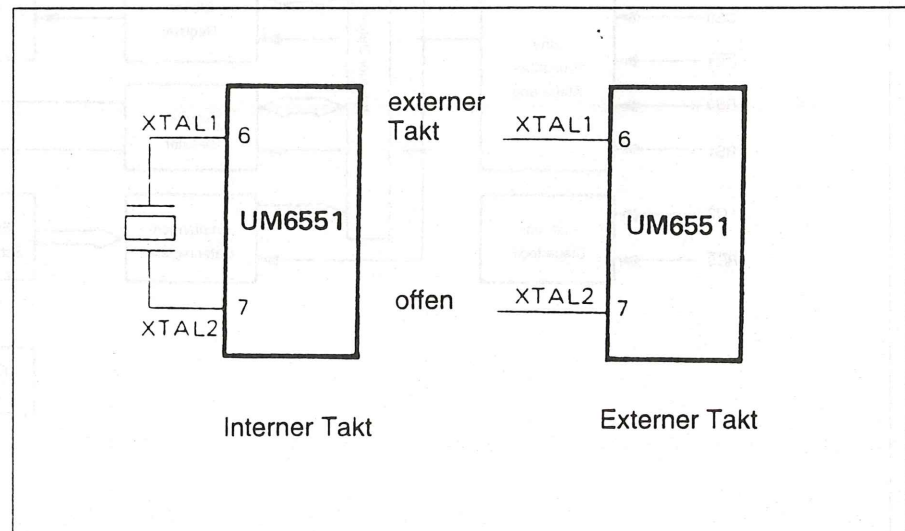


Anschluß- diagramm



Funktions- beschreibung

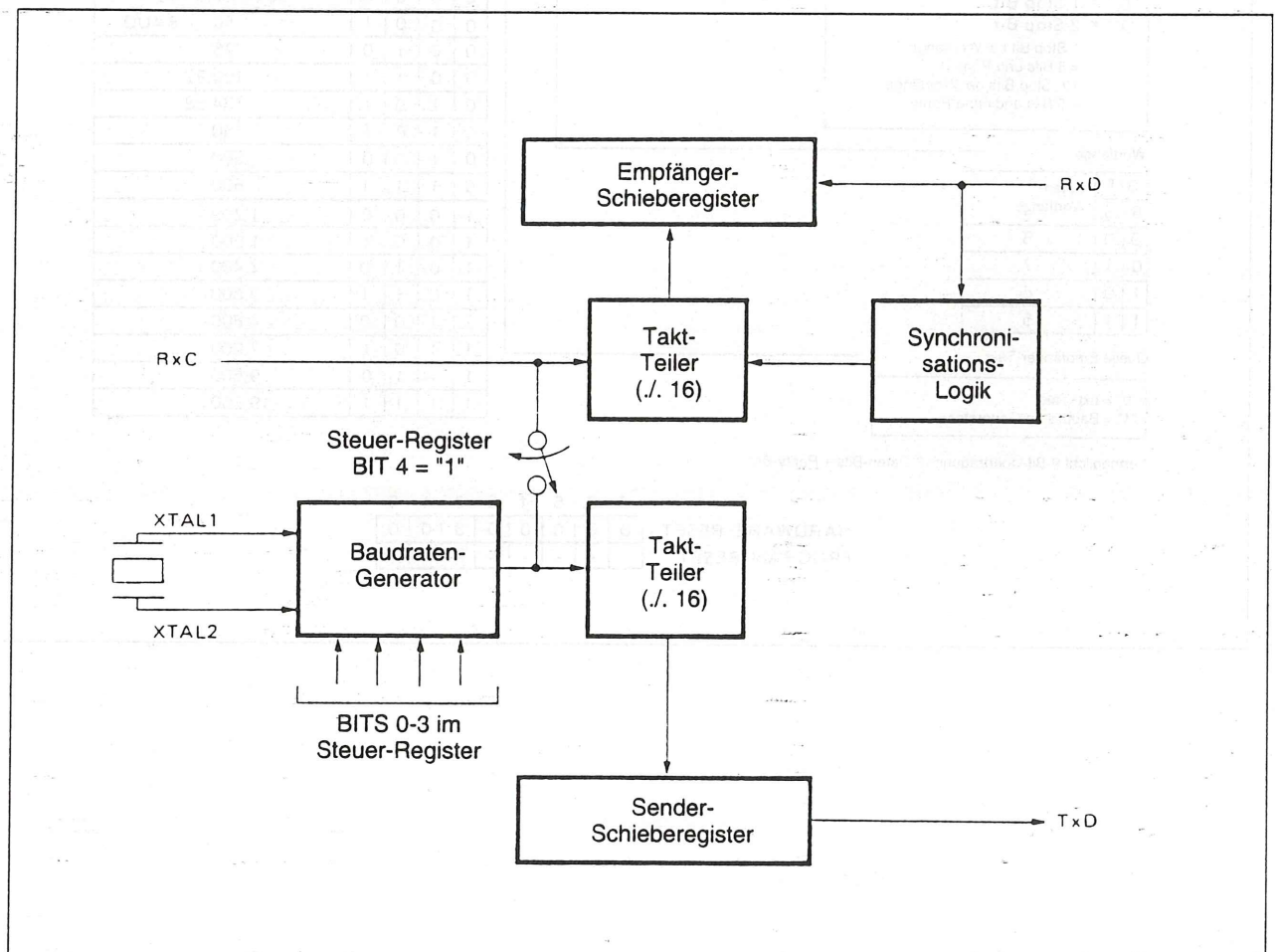
Zunächst einige wichtige Angaben für die Auslegung der Takterzeugung:



Spezifische Daten des erforderlichen Quarzes:

- Temperaturstabilität (0 ... + 70 °C): $\pm 0,01$ %
- Kennwerte bei + 25 °C:
 - Frequenz: 1,8432 MHz
 - Frequenz-Toleranz: $\pm 0,02$ %
 - Resonanz-Art: Serien-Resonanz
 - Ersatz-Widerstand: 400 Ohm max.
 - Leistungs-Pegel: 2mW
 - Parallel-Kapazität: 7 pF max.
- im Quarz-Schaltkreis dürfen sich keine zusätzlichen Komponenten befinden.

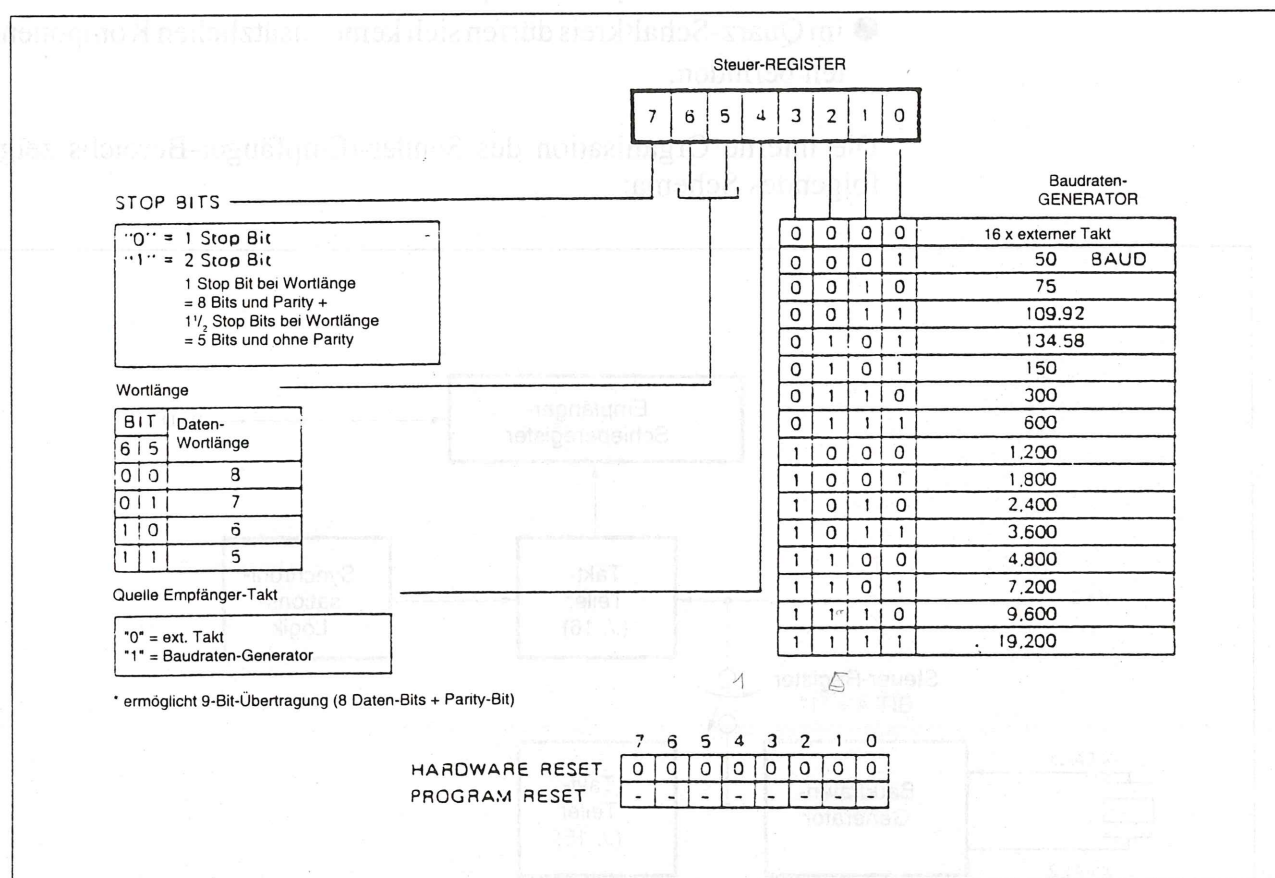
Die interne Organisation des Sender-/Empfänger-Bereichs zeigt folgendes Schema:



Die Bits 0 bis 3 des Steuer-Registers wählen den Teiler aus, der die Baud-Rate für den Sender festlegt. Wenn für den Empfänger-Takt die gleiche Baud-Rate wie für den Sender vorzusehen ist, wird der Pin RxC als Ausgang geschaltet und kann für weitere an den UM6551 angeschlossene Schaltkreise mitbenutzt werden.

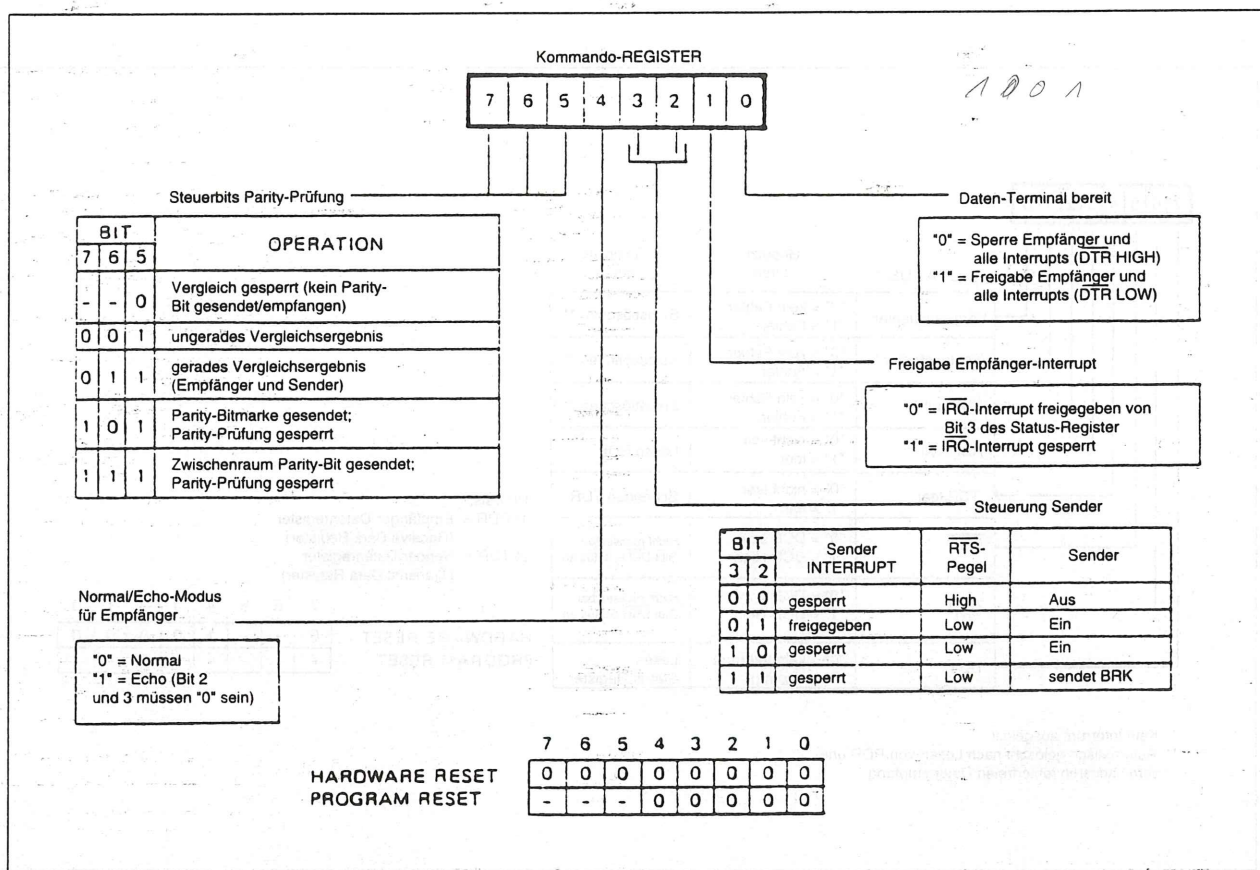
Beschreibung des Steuer-Registers

Das Steuer-Register dient der Auswahl der gewünschten Betriebsart der ACIA UM6551. Die Wortlänge, die Anzahl der Stop-Bits und die Taktsteuerung werden durch den Inhalt dieses Registers bestimmt.



Beschreibung des Kommando-Registers

Das Kommando-Register legt die spezifischen Senden-/Empfangen-Funktionen fest. Dies zeigt folgende bildliche Übersicht:



Hierzu folgende Anmerkungen:

● Signal $\overline{\text{DSR}}$

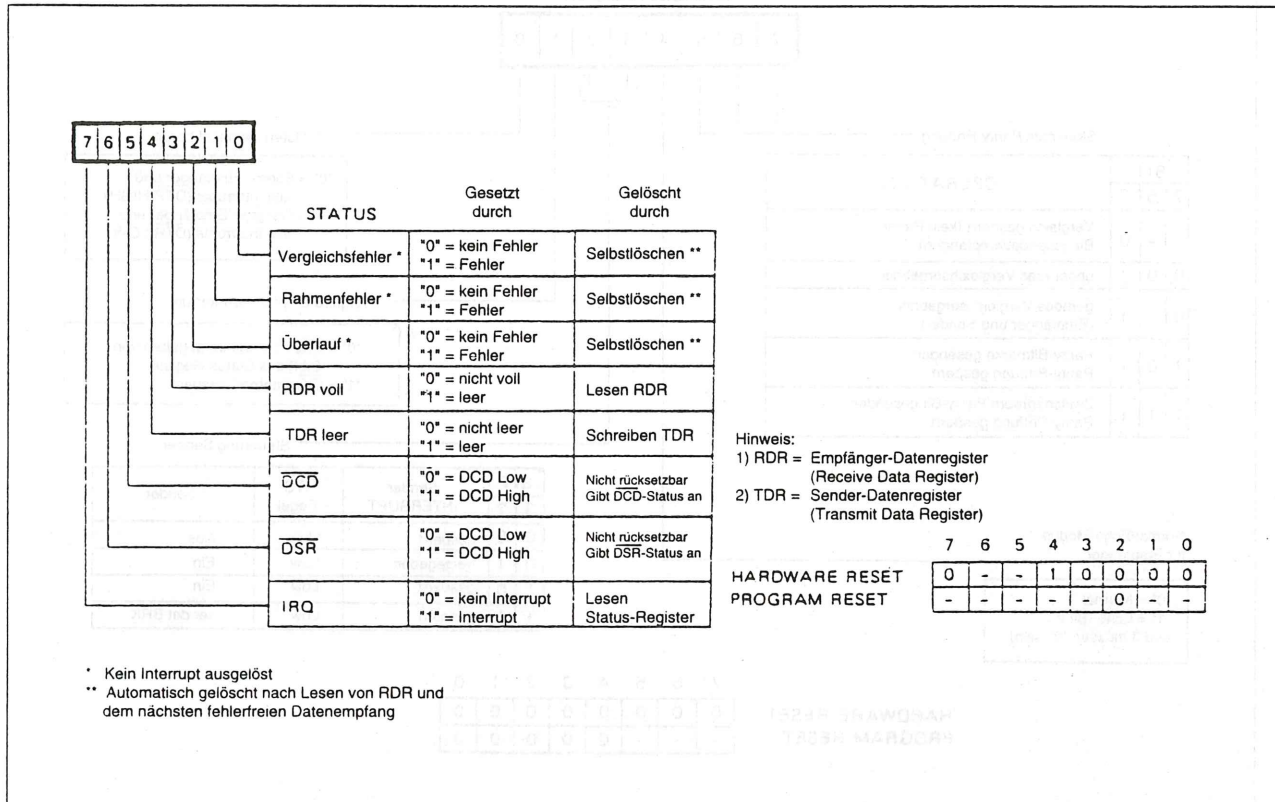
Wenn das Bit 0 des Kommando-Registers log. "1" ist und ein Wechsel des $\overline{\text{DSR}}$ -Status auftritt, wird $\overline{\text{IRQ}}$ gesetzt und das Bit 6 des Status-Registers zeigt den neuen Zustand an. Der Status von $\overline{\text{DSR}}$ wirkt sich nicht auf Sende- ("Transmit") oder Empfangs-Operationen ("Receive") aus.

● Signal $\overline{\text{DCD}}$

Wenn das Bit 0 des Kommando-Registers log. "1" ist und ein Wechsel des $\overline{\text{DCD}}$ -Status tritt auf, wird $\overline{\text{IRQ}}$ gesetzt und Bit 5 des Status-Registers gibt den neuen Zustand wieder. Der $\overline{\text{DCD}}$ -Status beeinflusst nicht den "Transmit"-Ablauf, muß aber LOW sein für Empfangs-Betrieb ("Receive").

Status-Register

Dieses interne Register dient der Status-Anzeige der verschiedenen ACIA-Funktionen an den Prozessor. Folgende Darstellung zeigt die Einzelheiten:



Senden-/Empfangen-Datenregister

Diese Register werden als Hilfsregister für Zwischenspeicherung der zu sendenden bzw. empfangenden Daten benutzt.

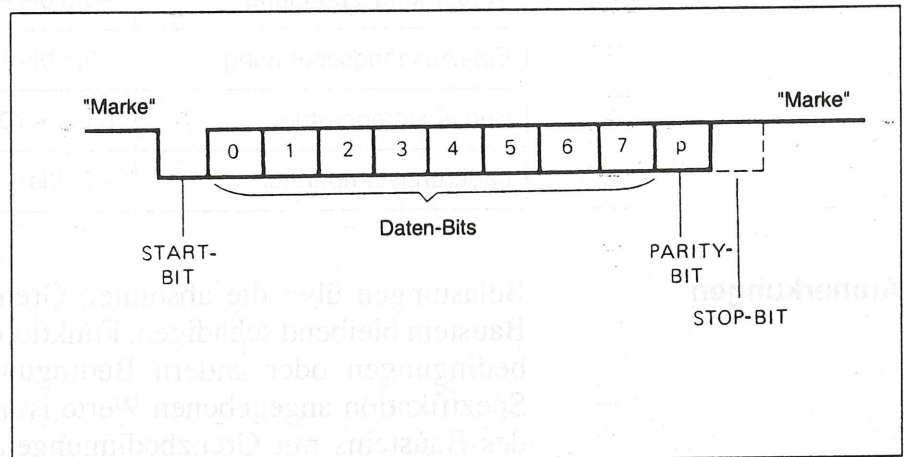
Das Senden-Datenregister ist wie folgt charakterisiert:

- Bit 0 ist das führende Bit für die Übertragung.
- Unbenutzte Datenbits sind höherwertige Bits und haben beliebige Pegel-Lage ("Don't Care") beim Senden.

Ähnliches gilt für das Empfangen-Datenregister:

- Führendes Bit beim Empfangen ist Bit 0.
- Unbenutzte Bits sind höherwertig und werden als "0" vom Empfänger gewertet.
- Parity-Bits sind im Empfangen-Datenregister nicht enthalten, sondern werden abgeschnitten nach Durchführung des externen Parity-Checks.

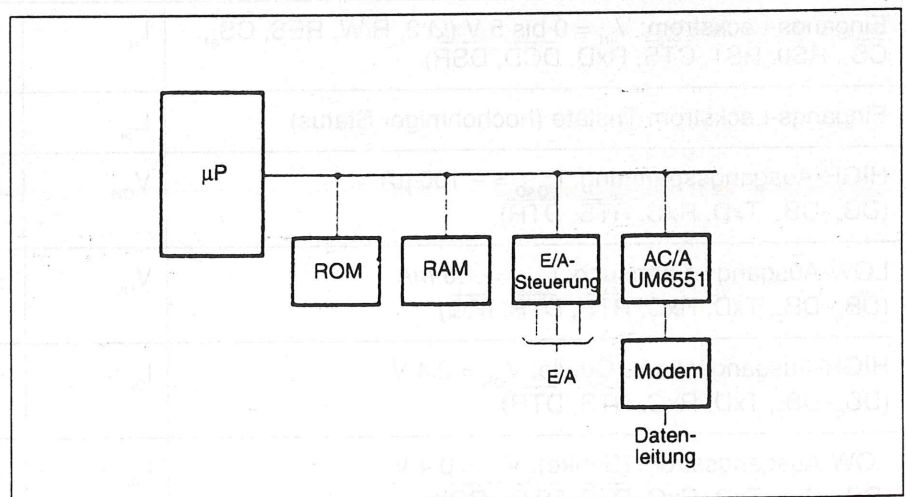
Folgendes Bild illustriert ein einfaches Übertragungs-Wort (Senden oder Empfangen) :



Man erkennt das Start-Bit, 8 Daten-Bits, das Parity-Bit und das Stop-Bit.

Applikationsbeispiel

Abschließend sei schematisch eine einfache System-Konfiguration mit der ACIA UM6551 gezeigt:



Absolute Grenzwerte

Parameter	Wert	Einheit
Versorgungsspannung	-0,3 bis + 7,0	Volt
Ein-/Ausgangsspannung	-0,3 bis + 7,0	Volt
Betriebstemperatur	0 bis + 70	°C
Lagerungstemperatur	-55 bis + 150	°C

Anmerkungen

Belastungen über die absoluten Grenzwerte hinaus können den Baustein bleibend schädigen. Funktion des Bausteins unter Grenzbedingungen oder andern Bedingungen außerhalb der in der Spezifikation angegebenen Werte ist nicht gewährleistet. Betrieb des Bausteins mit Grenzbedingungen für längere Zeit kann die Lebensdauer des Schaltkreises herabsetzen.

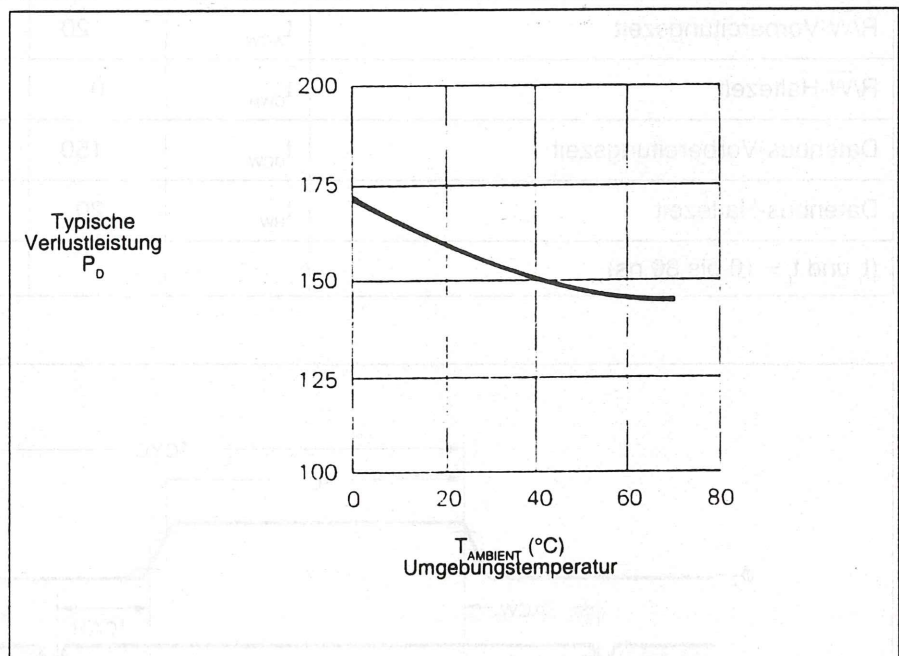
Gleichstrom-Kennwerte ($V_{DD}=50V\pm5\%$, $T_A=0-70^\circ\text{C}$, wenn nicht anders angegeben)

Parameter	Symbol	min.	typ.	max.	Einh.
HIGH-Eingangsspannung	V_{IH}	2,0	–	V_{CC}	V
LOW-Eingangsspannung	V_{IL}	-0,3	–	0,8	V
Eingangs-Leckstrom: $V_{IN} = 0$ bis 5 V ($\bar{O}2$, $\overline{RW}$, $\overline{RES}$, CS_0 , CS_1 , $RS0$, $RS1$, CTS , RxD , DCD , DSR)	I_{IN}	–	$\pm 1,0$	$\pm 2,5$	μA
Eingangs-Leckstrom Tristate (hochohmiger Status)	I_{TSI}	–	$\pm 2,0$	$\pm 10,0$	μA
HIGH-Ausgangsspannung: $I_{LOAD} = -100 \mu\text{A}$ (DB_0 – DB_7 , TxD , RxC , $\overline{RTS}$, $\overline{DTR}$)	V_{OH}	2,4	–	–	V
LOW-Ausgangs-Spannung: $I_{OAD} = 1,6 \text{ mA}$ (DB_0 – DB_7 , TxD , RxC , $\overline{RTS}$, $\overline{DTR}$, $\overline{IRQ}$)	V_{OL}	–	–	0,4	V
HIGH-Ausgangsstrom (Quelle: $V_{OH} = 2,4 \text{ V}$) (DB_0 – DB_7 , TxD , RxC , $\overline{RTS}$, $\overline{DTR}$)	I_{OH}	-100	–	–	μA
LOW-Ausgangsstrom (Senke: $V_{OL} = 0,4 \text{ V}$) (DB_0 – DB_7 , TxD , RxC , $\overline{RTS}$, $\overline{DTR}$, $\overline{IRQ}$)	I_{OL}	1,6	–	–	mA

Gleichstrom-Kennwerte (Fortsetzung)

Parameter	Symbol	min.	typ.	max.	Einh.
Ausgang-Leckstrom (Aus-Zustand): $V_{OUT} = 5\text{ V}$ ($\overline{IRQ}$)	I_{OFF}	–	1,0	10,0	μA
Takt-Kapazität ($\emptyset_2$)	C_{CLK}	–	–	20	pF
Eingangs-Kapazität (außer XTAL1 und XTAL2)	C_{IN}	–	–	10	pF
Ausgangs-Kapazität	C_{OUT}	–	–	10	pF
Verlustleistung (s. Diagramm) ($T_A = 0^\circ\text{C}$) $V_{CC} = 5,25\text{ V}$	P_D	–	170	300	mW

Verlustleistung

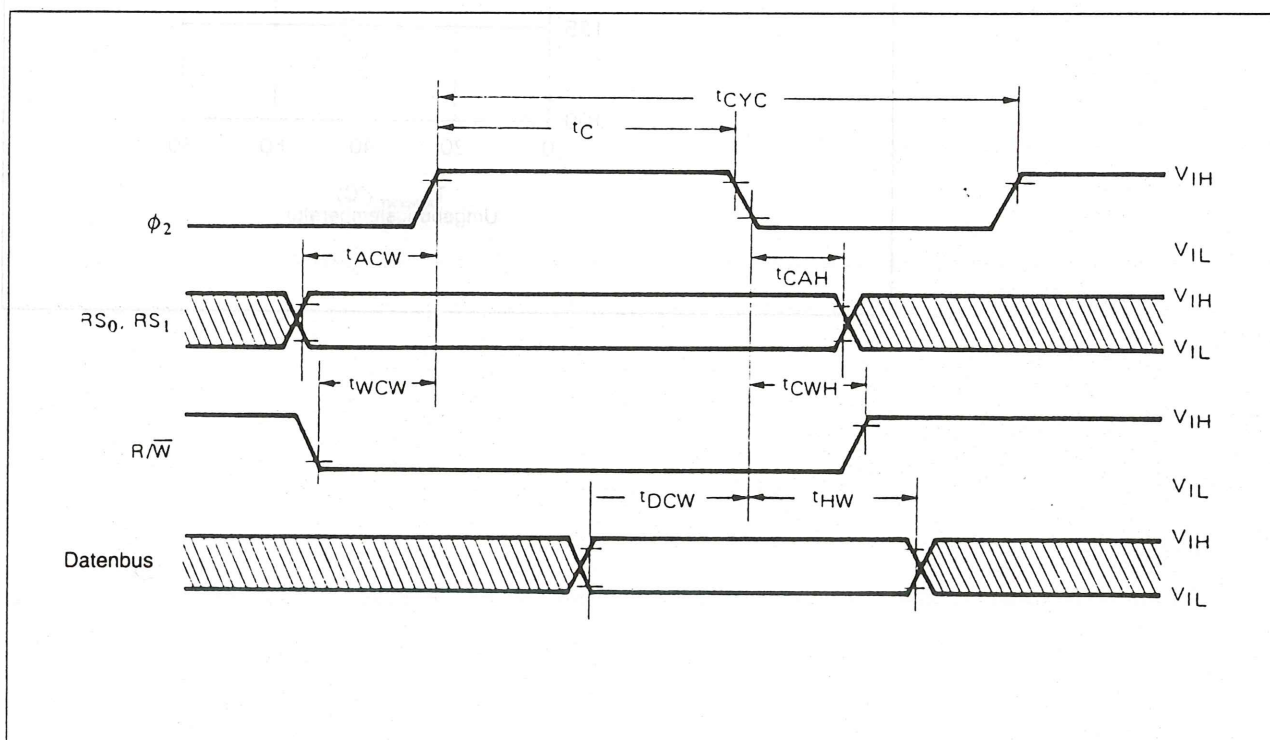


Wechselstrom-Kennwerte

Schreiben-Zyklus ("Write")

(VCC = 5,0V ±5 %, T_A = 0 bis 70 °C, wenn nichts anders angegeben)

Parameter	Symbol	UM6551		UM6551A		Einh.
		min.	max.	min.	max.	
Zykluszeit	t _{CYC}	1,0	–	0,5	–	µs
Ø ₂ – Pulsbreite	t _C	400	–	200	–	ns
Adress-Vorbereitungszeit	t _{ACW}	120	–	70	–	ns
Adreß-Haltezeit	t _{CAH}	0	–	0	–	ns
R/ $\overline{W}$ -Vorbereitungszeit	t _{WCW}	120	–	70	–	ns
R/ $\overline{W}$ -Haltezeit	t _{CWH}	0	–	0	–	ns
Datenbus-Vorbereitungszeit	t _{DCW}	150	–	60	–	ns
Datenbus-Haltezeit	t _{HW}	20	–	20	–	ns
(t _r und t _f = 10 bis 30 ns)						

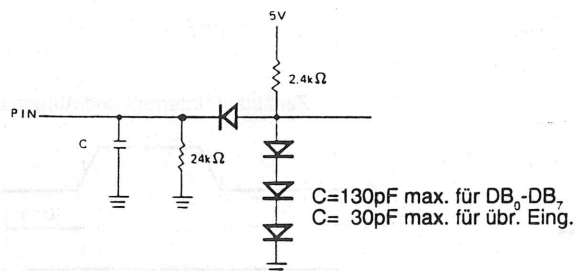


Lesen-Zyklus ("Read")

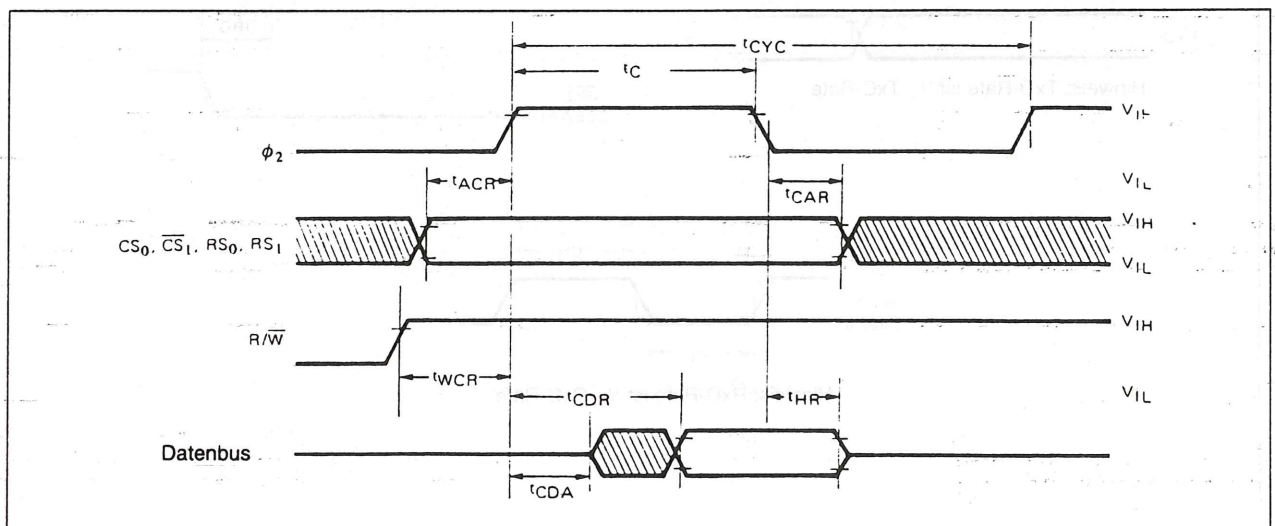
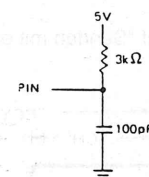
($V_{CC} = 0,5 \text{ V} \pm 5 \%$, $T_A = 0 \text{ bis } 70^\circ\text{C}$, wenn nicht anders angegeben)

Parameter	Symbol	UM6551		UM6551A		Einh.
		min.	max.	min.	max.	
Zykluszeit	t_{CYC}	1,0	—	0,5	—	μs
ϕ_2 – Pulsbreite	t_C	400	—	200	—	ns
Adress-Vorbereitungszeit	t_{ACR}	120	—	70	—	ns
Adreß-Haltezeit	t_{CAR}	0	—	0	—	ns
R/W-Vorbereitungszeit	t_{WCR}	120	—	70	—	ns
Lesen-Zugriffszeit (Daten gültig)	t_{CDR}	—	200	—	150	ns
Lesen-Daten-Haltezeit	t_{HR}	20	—	20	—	ns
Bus-aktiv-Zeitdauer (Daten ungültig)	t_{CDA}	40	—	40	—	ns

Test-Belastung:



"Offen-Kollektor"-Ausgang:
 Test-Belastung

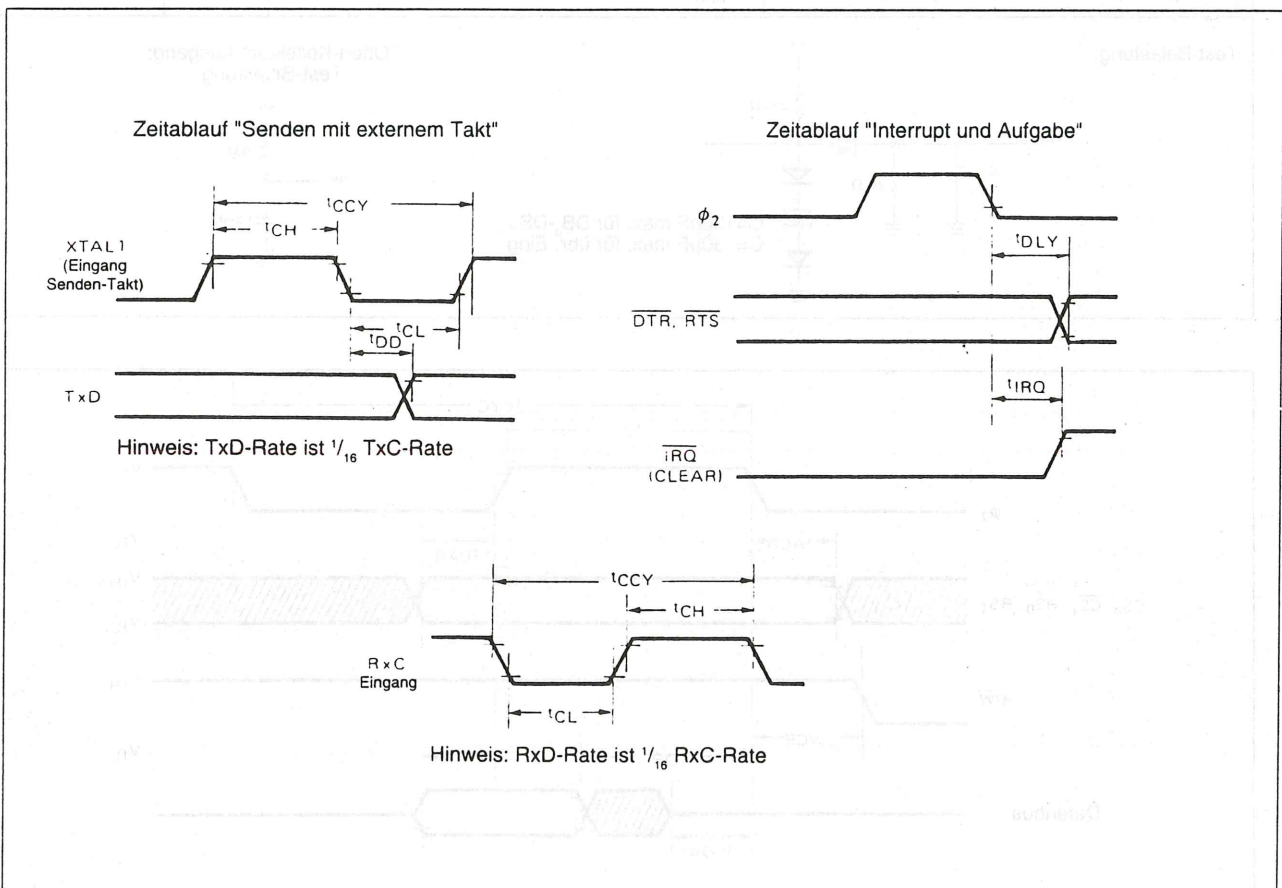


Senden-/Empfangen-Kennwerte ("Transmit/Receive")

Parameter	Symbol	UM6551		UM6551A		Einh.
		min.	max.	min.	max.	
Senden/Empfangen-Taktrate	t_{CCY}	400*	—	400*	—	ns
Senden/Empfangen-Takt-HIGH-Phase	t_{CH}	175	—	175	—	ns
Senden/Empfangen-Takt-LOW-Phase	t_{CL}	175	—	175	—	ns
XTAL1 bis TxD-Ablaufverzögerung	t_{DD}	—	500	—	500	ns
Ablaufverzögerung $\overline{DTR}$, $\overline{RTS}$	t_{DLY}	—	500	—	500	ns
$\overline{IRQ}$ -Verzögerungszeit (Clear)	t_{IRQ}	—	500	—	500	ns

(t_r und t_f = 10 bis 30 ns; ausschließlich Eingangstakte)

*Die Baud-Rate bei externem Takt beträgt: $L \cdot 1/16 \cdot 6 \times T_{CCY}$



Kenndaten Frequenz-Auswahl

Steuer-Register Bits	Für internen Zähler ausgewählter Teiler	Baudrate von 1,8432 MHz-Quarz erzeugt	Baudrate von einem Quarz mit Frequenz F erzeugt
3 2 1 0			
0 0 0 0	kein Teiler ausgewählt	16 x ext. Takt an Pin Rx C	16 x ext. Takt an Pin Rx C
0 0 0 1	36.864	$1.8432 \times 10^6 / 36.864 = 50$	F/36.864
0 0 1 0	24.576	$1.8432 \times 10^6 / 24.576 = 75$	F/24.576
0 0 1 1	16.769	$1.8432 \times 10^6 / 16.769 = 109.92$	F/16.769
0 1 0 0	13.704	$1.8432 \times 10^6 / 13.704 = 134.51$	F/13.704
0 1 0 1	12.288	$1.8432 \times 10^6 / 12.288 = 150$	F/12.288
0 1 1 0	6.144	$1.8432 \times 10^6 / 6.144 = 300$	F/6.144
0 1 1 1	3.072	$1.8432 \times 10^6 / 3.072 = 600$	F/3.072
1 0 0 0	1.536	$1.8432 \times 10^6 / 1.536 = 1.200$	F/1.536
1 0 0 1	1.024	$1.8432 \times 10^6 / 1.024 = 1.800$	F/1.024
1 0 1 0	768	$1.8432 \times 10^6 / 768 = 2.400$	F/768
1 0 1 1	512	$1.8432 \times 10^6 / 512 = 3.500$	F/512
1 1 0 0	384	$1.8432 \times 10^6 / 384 = 4.800$	F/384
1 1 0 1	256	$1.8432 \times 10^6 / 256 = 7.200$	F/256
1 1 1 0	192	$1.8432 \times 10^6 / 192 = 9.600$	F/192
1 1 1 1	96	$1.8432 \times 10^6 / 96 = 19.200$	F/96

**Bestellhinweise/
Ausweichtypen**

Für Bestellung des Bausteins sind folgende Bezeichnungen zu beachten:

Bauteilbezeichnung	Takt-Rate	Gehäuse
UM6551	1MHz	28L DIP
UM6551A	2MHz	28LDIP

Teil 8 • Peripherie-Bausteine
Kap. 3 • Standard-Systemperipherie
3.3 Einzeldarstellungen
UMC

UM6551

Als Ausweichtypen sind auf dem Markt erhältlich:

NMOS	R6551	ROCKWELL
CMOS	G65SC51	CMD (früher: GTE)
CDP65C51	RCA	
R65C51	ROCKWELL	

Bauteilbezeichnung	Takt-Frequenz	Gehäuse
UM6551	5 MHz	28 Pin DIP
UM6551A	5 MHz	28 Pin DIP