

# **ELO**

**ELO**

Sonderheft Nr. 63

Preis 8.- DM

8.- sfr, 62.- öS

## **Laborbrief Nr. 3**

# **Ein-/Ausgabe-Techniken für Mikrocomputer**

**Franzis-Verlag, München**

# Inhaltsverzeichnis

## 1 Ein/Ausgabe-Verwaltung

1.1 Schematischer Mikrocomputer-Aufbau	6
1.2 Allgemeine Ein/Ausgabe	8
1.3 Prinzip der Dekodierung	10

## 2 Parallele Ein/Ausgabe

2.1 Parallel-Interface 87060 mit dem 8255	12
2.2 Steuerwort des 8255	14
2.3 Eingangsbuffer und Ausgangstreiber	16
2.4 Bestückungsplan Parallel-Interface	18

## 3 Der programmierbare Zeitgeber

3.1 Blockschaltung des Timers 8253	20
3.2 Steuerwort des 8253	22
3.3 Betriebsarten des 8253	24

## 4 Serielle Ein/Ausgabe

4.1 Blockschaltung des ACIA 6850	26
4.2 Steuerwort des 6850	28
4.3 Statuswort des 6850	30
4.4 Bedeutung der Ein- und Ausgangssignale	32
4.5 Aufbau des seriellen Telegramms	34

## 5 Magnetband-Aufzeichnung

5.1 Blockschaltung des Cassetten-Interfaces	36
5.2 Zeitabläufe bei Aufnahme und Wiedergabe	38

## 6 Serielle Ein/Ausgabe

6.1 Blockschaltung der Karte 87050	40
6.2 Decodierlogik	42
6.3 Beschaltung des 6850	44
6.4 Aufbau des Mode-Registers	46
6.5 Akustischer Signalgeber ("Bell")	48
6.6 Beschaltung des 8253	50
6.7 Schaltung des Cassetten-Interfaces	52
6.8 Decodierung und Anzeige der 8255-Portadressen	54
6.9 Bestückung des Seriellen Interface	56

## 7 Inbetriebnahme des Seriellen Interfaces

7.1 Meßpunkte und Abgleich	58
7.2 Inbetriebnahme des Timers	60
7.2.1 Betriebsarten 0 und 1 (Impulserzeugung)	62
7.2.2 Betriebsart 2 (Teiler durch n)	64
7.2.3 Betriebsart 3 (Rechteckgenerator)	66
7.2.4 Betriebsarten 4 und 5 (Triggerpuls)	68
7.3 Inbetriebnahme der Drucker-Schnittstelle	70
7.4 Inbetriebnahme der Cassetten-Ausgabe	72
7.5 Inbetriebnahme der Cassetten-Eingabe	74

Anhang A: Parallel-Interface	76
Anhang B: Serielles Interface	77
Anhang C: Verteilung der Portadressen	78
Anhang D: ECB-Busbelegung	79

# Stichwortregister

## Bestückungsplan

- Parallel-Interface . . . . .	18
- Serielles Interface . . . . .	56

## Betriebsarten

- Timer . . . . .	24
- ACIA (Bedeutung der Signale) . . . . .	32

## Blockschaltung

- Cassetten-Interface . . . . .	36
- Mikrocomputer . . . . .	6
- Serielles Interface . . . . .	40
- 6850 (ACIA) . . . . .	26
- 8253 (Timer) . . . . .	20

## Decodierung

- allgemein . . . . .	10
- Parallel-Interface . . . . .	12
- Portadressen . . . . .	54
- Serielles Interface . . . . .	42

## Detailschaltbild

- ACIA 6850 . . . . .	26
- Cassetten-Interface (Serielles Interface) . . . . .	52
- Parallel-Interface . . . . .	12
- Port-Decodierung . . . . .	54
- Serien/Parallel-Wandler (Serielles Interface) . . . . .	44
- Zeitgeber (Serielles Interface) . . . . .	50
- Timer 8253 . . . . .	20

## Inbetriebnahme

- Cassetten-Interface . . . . .	72
- Drucker-Schnittstelle . . . . .	70
- Parallel-Interface . . . . .	14
- Serielles Interface . . . . .	58
- Timer . . . . .	60

## Interface-Baustein

- Asynchroner Interface-Baustein 6850 . . . . .	26
- Parallele Ein/Ausgabe 8255 . . . . .	12
- Zeitgeber 8253 . . . . .	20

## Parallele Ein/Ausgabe

- Allgemeine Ein/Ausgabe . . . . .	8
- Parallel-Interface . . . . .	12

## Serielle Ein/Ausgabe

- Telegramm-Format der seriellen Übertragung . . . . .	34
- V.24-Schnittstelle . . . . .	44
- Stromtreiber-Schnittstelle . . . . .	44
- Zeitabläufe bei Cassetten-Aufnahme und -Wiedergabe . . . . .	38

## Status- und Steuerwort

- Statuswort des asynchronen Interface-Bausteins . . . . .	30
- Steuerwort des asynchronen Interface-Bausteins . . . . .	28
- Steuerwort des programmierbaren Zeitgebers . . . . .	22

## Treiberstufen

- Stromtreiber 20 mA . . . . .	44
- Treiberstufen für 8255 . . . . .	16
- V.24-Treiber '188/'189 . . . . .	44

Zu kaum einem anderen Thema erreichen die Redaktion so viele Anfragen wie gerade zu dem hier angesprochenen Komplex der Ein/Ausgabe-Techniken für Mikrocomputer. Gibt es auf dem Software-Sektor mittlerweile eine schier unübersehbare Flut von mehr oder weniger sinnvollen Programm- und Anwendungsbeispielen, so hapert es doch auf der Hardware-Seite an den einfachsten Dingen, wenn es darum geht, externe Schaltungen anzuschließen.

Dabei ist es ein offenes Geheimnis, daß auch die leistungsfähigsten Mikros nur "mit Wasser kochen", das heißt intern mit "stinknormalen" ICs und TTL-Pegeln arbeiten. Warum also nicht dem Kumpel Computer einmal auf den Leib rücken und zusätzliche Erweiterungs-Schaltungen anschließen?

Im vorliegenden Laborbrief finden Sie sämtliche Grundlagen, angefangen bei der simpelsten Adreßdecodierung bis hin zum virtuosen Zusammenspiel mehrerer hochintegrierter Interface-Bausteine. Die Beschreibungen gehen so weit in die Tiefe, daß Sie damit nicht nur die gebotenen Bauanleitungen in die Praxis umsetzen können, sondern mit dem Grundlagenwissen sind Sie außerdem in der Lage, andere Systeme zu programmieren bzw. zu modifizieren; gerade hierüber schweigen sich die Hersteller-Unterlagen oftmals aus.

Für die vorgestellten Baugruppen werden darüber hinaus komplette Bausätze angeboten, über die Sie beim Verlag nähere Informationen anfordern können. Sie haben damit die Möglichkeit, nicht nur Ihr Grundlagenwissen aufzupolieren, sondern die realen Baugruppen für Ihr System gleich mit zu erwerben.

Die vorgestellten Karten sind für den Betrieb am ECB-Bus konzipiert worden, den auch das ELO-Mikrocomputer-System MOPPEL verwendet (8085-Timing). Natürlich ist der Anschluß auch an andere Systeme möglich, unter Umständen mit geringfügigen Signalverknüpfungen, um die hier verwendeten Zeitabläufe nachzubilden. Bestes Beispiel für diese "friedliche Koexistenz" artfremder Mikrocomputer-Komponenten ist das Zusammenspiel von Bausteinen aus den Intel- und Motorola-Mikrocomputer-Familien auf dem Seriellen Interface.

Um auch das spätere Nachschlagen in diesem Heft zu erleichtern, wurde die bewährte Aufteilung auf Doppelseitenbeibehalten, die jeweils in sich geschlossene Komplexe behandeln. Dabei kommt es gelegentlich zu Wiederholungen, um an bestimmten Stellen Querverweise zu vermeiden.

Insbesondere im Praxis-Teil wurde ausreichender Platz für Ihre Notizen und eigene Erfahrungen gelassen, so daß das Heft nach und nach zu einer wertvollen Sammlung nützlicher Details wird

In diesem Zusammenhang sei auf die beiden begleitenden ELO-Laborbriefe verwiesen, die den 8085-Befehlssatz im Detail vorstellen und kommentieren (Nr.1) bzw. eine ausführliche Erläuterung zum BASIC-Grundbefehlssatz bieten (Nr.2), ergänzt durch zahlreiche illustrierende Anwendungsbeispiele.

Weitergehende Bau- und Funktionsbeschreibungen für ein komplettes Selbstbau-Mikrocomputer-System finden Sie im ELO-Sonderheft Nr.60 "Bit für Bit zum Selbstbaucomputer", das Sie, wie auch die Laborbriefe, direkt beim Verlag beziehen können.

# **Ein/Ausgabe-Techniken für Mikrocomputer**

---

# 1 Ein/Ausgabe-Verwaltung

---

Sofern im Adreßraum eines Mikrocomputers noch freie Adressen vorhanden sind, lassen sich ohne weiteres zusätzliche Ein/Ausgabe-Schaltungen ergänzen. In diesem ersten Abschnitt sind die Grundlagen hierzu zusammengestellt, was am Beispiel der 8085-Steuersignale erfolgt; die Realisierung in anderen Systemen erfolgt prinzipiell genauso, gegebenenfalls mit zusätzlichen Verknüpfungen, um die beschriebenen Zeitabläufe nachzubilden.

---

## 1.1 Schematischer Mikrocomputer-Aufbau

---

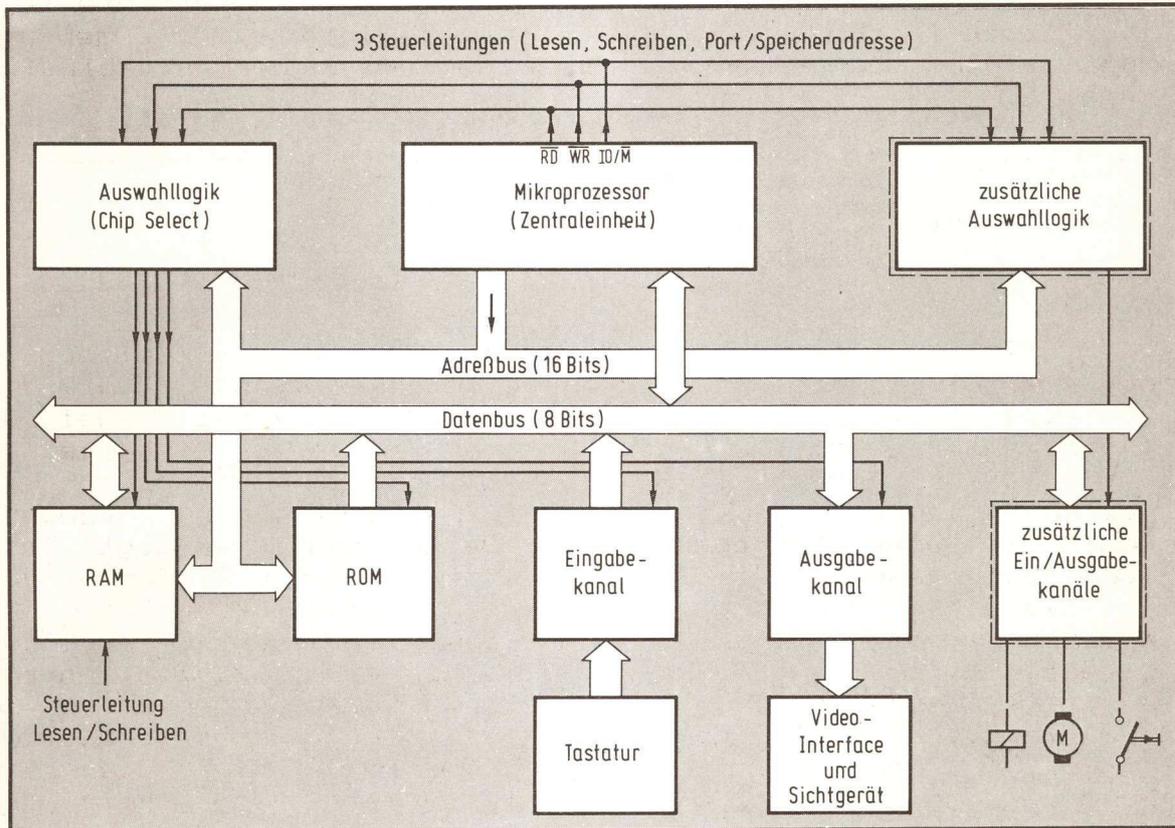
In dem in Bild 1.1 gezeigten Schema eines Mikrocomputer-Aufbaus bilden folgende drei Blöcke die Grundbestandteile des Systems: 1. Mikroprozessor (Zentraleinheit oder auch CPU), 2. Speicher (Arbeitsspeicher RAM sowie Programmspeicher ROM) und 3. die Ein/Ausgabe-Einheiten für den Datenaustausch mit peripheren Stellen. Alle diese Baugruppen sind an den System-Datenbus angeschlossen, von wo aus sie Daten entgegennehmen oder wohin sie Daten übergeben. Dieser Datentransfer erfolgt in jedem Fall auf Veranlassung der Zentraleinheit, und die wiederum führt nur das aus, was der Anwender zuvor in seinem Programm festgelegt hat. Die CPU muß bei jedem Datentransfer nicht nur die Übertragungsrichtung angeben, sondern sie muß auch noch gezielt diejenige Stelle ansprechen, mit der sie kommunizieren will. Zu diesem Zweck gibt sie eine Adresse aus, die die Auswahllogik im System in ein Aktivierungssignal (Chip Select) umsetzt. Jede Komponente im Mikrocomputer, die Daten aufnehmen oder hergeben kann, besitzt eine eigene, feste Adresse, unter der sie (über die Auswahllogik) ansprechbar ist.

Sollen nun zusätzliche Schaltungsteile (Ein/Ausgabe-Bausteine) an einen Mikrocomputer angeschlossen werden, muß man diesen Baugruppen freie Adressen zuweisen, die eine zusätzliche Auswahllogik in die entsprechenden Aktivierungssignale umsetzt. Welche Adressen dies im Einzelfall sind, hängt von der Systemkonzeption ab und geht aus den Hersteller-Unterlagen hervor.

Die Standard-8-Bit-Prozessoren des Marktes haben einen Adreßbus von 16 Bits, mit dem ein Speicherbereich von 64 KBytes (=65536 Bytes) ansprechbar ist; darüber hinaus existiert eine Leitung, die nur bei der Ausführung spezieller Ein/Ausgabe-Befehle aktiviert wird, und mit deren Hilfe weitere Adressen (über den 64-K-Adreßraum hinaus) ansprechbar sind. In diesem Fall spricht man von sogenannten E/A-Adressen (Ports).

Beim Mikroprozessor 8085 bestimmen die beiden Leitungen RD und WR die Übertragungsrichtung auf dem Datenbus: Geht RD auf LOW, werden die Daten in die CPU eingelesen; geht dagegen WR auf LOW, "schreibt" die CPU Daten auf den Datenbus, von wo sie die angesprochene Stelle übernimmt. Parallel zu einem dieser Signale (RD oder WR) gibt die Leitung IO/M an, ob beim momentanen Datentransfer normale Datentransportbefehle ausgeführt werden (vgl. ELD-Laborbrief Nr.1) oder ob es sich um einen speziellen Ein/Ausgabe-Befehl handelt; nur im letztgenannten Fall geht (zusammen mit RD oder WR) das Signal IO/M auf HIGH und kann von der Auswahllogik entsprechend ausgewertet werden.

Bild 1.1: Schematischer Mikrocomputer-Aufbau.



---

## 1.2 Allgemeine Ein/Ausgabe

---

Eine sehr einfache (weil platz- und stromsparende) Möglichkeit, zusätzliche Ein/Ausgabe-Schaltungen an ein System anzuschließen, zeigt das Bild 1.2; es handelt sich hier um die beiden nahezu identisch aufgebauten 8-Bit-Speicher (Latches) 74(LS)373 bzw. 74(LS)374, die an ihren Q-Ausgängen Tri-State-Buffer haben und sich nur in der Form des Übergabe-Signals unterscheiden:

Der 74(LS)373 schaltet die D-Eingänge so lange an die Q-Ausgänge durch, wie das Aktivierungssignal am Stift 11 auf HIGH liegt. Der 74(LS)374 dagegen übernimmt die an den D-Eingängen anliegenden Daten am Ende des Aktivierungssignals (LOW-Impuls am Stift 11), mit dessen positiver Flanke also. Die Q-Ausgänge nehmen aber erst dann aktive Logikpegel an, wenn der Eingang zur Tri-State-Verwaltung (Stift 1) auf LOW liegt.

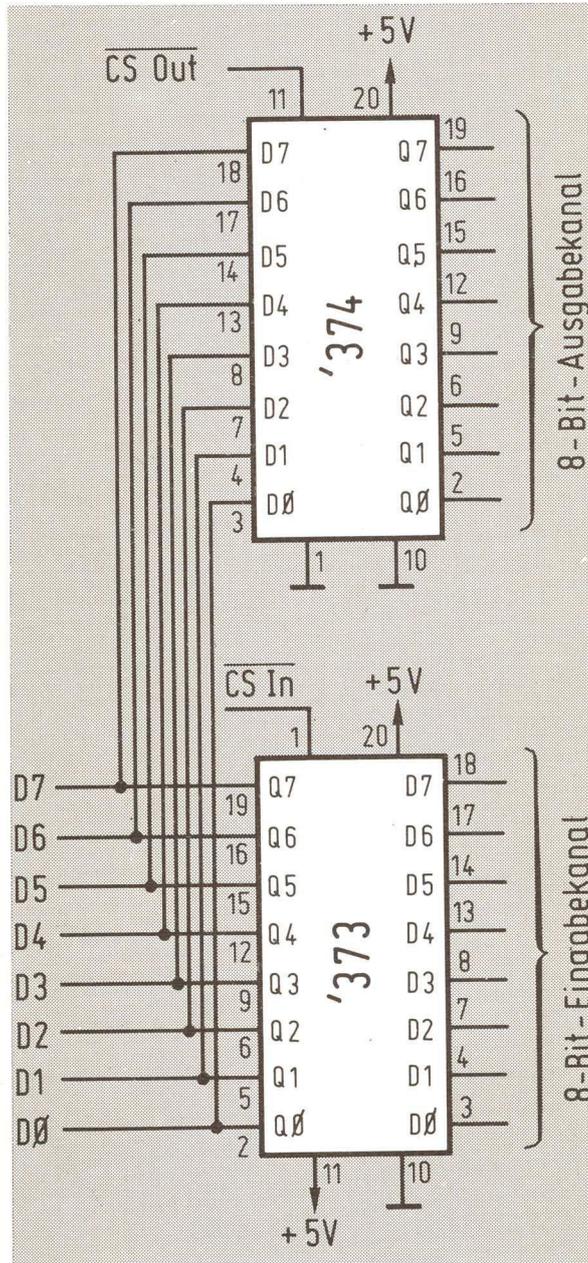
Mit diesem Verhalten eignet sich der 74(LS)373 vorzugsweise als Eingabekanal, und der 74(LS)374 entsprechend als Ausgabekanal: Beide ICs sind mit acht Leitungen an den System-Datenbus angeschlossen, und zwar sind das beim '373 die Q-Ausgänge und beim '374 die D-Eingänge. Egal, was auf dem Datenbus passiert, es bleibt (zunächst) ohne Auswirkung auf die beiden ICs. Die 373-Ausgänge sind nämlich im Ruhezustand hochohmig, und die 374-Eingangsinformationen gehen wegen des fehlenden Übernahme-Impulses nicht an die Q-Ausgänge weiter.

Die zusätzlich einzubringende Auswahllogik muß nun in Abhängigkeit von den gewählten Adressen zwei geeignete Selektierungssignale erzeugen: Bei aktivem CSIn nehmen die Q-Ausgänge des '373 denjenigen Pegel an, der an den korrespondierenden D-Eingängen anliegt; diese Pegel werden zum Zeitpunkt des CS-Impulses direkt in die CPU transferiert.

Bei aktivem CSOut (exakter: Bei dessen positiver Flanke) werden die von der CPU auf den Datenbus geschalteten Pegel in die internen Flip-flops des '374 übertragen; da das Aktivierungssignal für dessen Q-Ausgänge fest auf LOW liegt, sind die Q-Ausgänge niemals im hochohmigen Zustand sondern immer aktiv.

Es wäre übrigens prinzipiell möglich, auch ausgabeseitig ein IC vom Typ 74(LS)373 zu verwenden, um die Typenvielfalt einzuschränken. Aus den genannten Gründen müßte dann aber das Ausgangs-Selektierungssignal aktiv HIGH sein, was bei Standard-Decodier-Schaltungen (vgl. nächsten Abschnitt 1.3) einen zusätzlichen Inverter erfordern würde; um den einzusparen, ist der vorgeschlagene Weg gewählt worden.

Bild 1.2: Einfache Ein/Ausgabe-Schaltungen.



---

### 1.3 Prinzip der Decodierung

---

Unabdingbare Voraussetzung für den Anschluß zusätzlicher E/A-Bausteine an ein Mikrocomputer-System ist das Vorhandensein freier Adressen. In den meisten Fällen ist der von den 16 Adreßbits ansprechbare Speicherbereich komplett belegt bzw. voll decodiert, so daß man zusätzliche Adressen aus dem Port-Adreßbereich nehmen muß.

Beim 8085 geht dann (und nur dann) die Leitung IO/M auf HIGH, wenn einer der Port-Befehle "IN" (=DB XX) oder "OUT" (=D3 XX) ausgeführt wird. "XX" gibt in den beiden Maschinenbefehlen die jeweilige Portadresse an. Sie ist acht Bit breit und ermöglicht daher das Ansprechen von 256 unterschiedlichen Zielen.

Ein Selektierungssignal für die E/A-Bausteine darf nur so lang sein, wie der jeweilige RD- oder WR-Puls. Für den Eingabe-Baustein ist das Chip-Select-Signal daher mit RD zu verknüpfen, für den Ausgabe-Baustein entsprechend mit WR. Ferner ist die Leitung IO/M in die Decodierung einzubeziehen und bei Portadressen auf HIGH abzufragen.

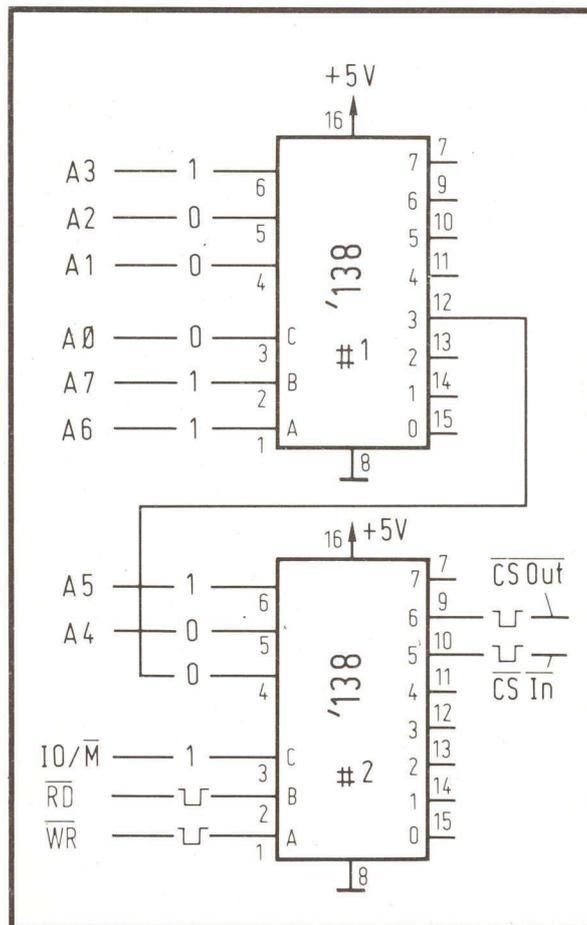
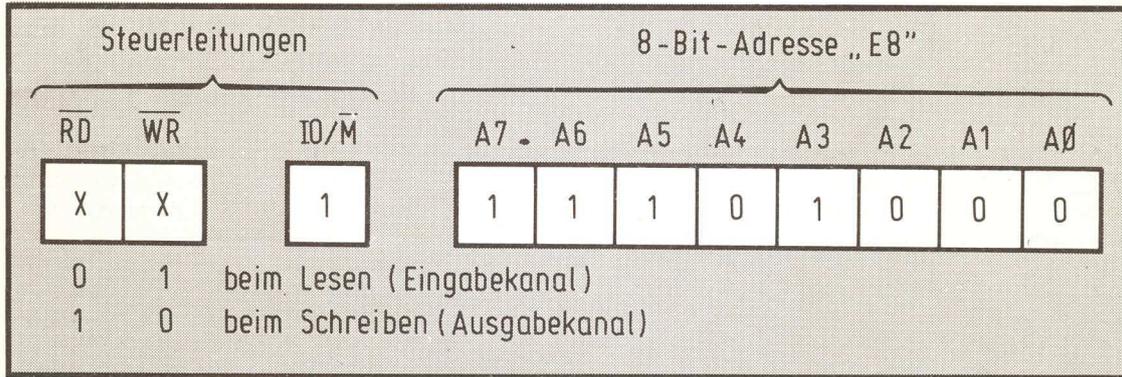
Um beispielsweise die in Bild 1.2 gezeigten E/A-Bausteine bei der Portadresse E8 zu aktivieren, sind insgesamt 11 Leitungen in die Adreßdekodierung einzubeziehen (Bild 1.3). Eine geeignete Hardware-Schaltung zur Erzeugung beider Signale CSIn und CSOut (vgl. Bil 1.2) zeigt Bild 1.3 (unten). Hier werden zwei Demultiplexer 74(LS)138 hintereinander geschaltet, um insgesamt 11 Leitungen abzufragen (IC1 liefert eins der Freigabesignale für IC2).

Beim 74(LS)138 müssen die Anschlußstifte 4 und 5 auf LOW und Stift 6 auf HIGH sein, ehe überhaupt einer der Ausgänge auf LOW gehen kann. Welcher der acht Ausgänge dies ist, bestimmen die Pegel an den Anschlüssen 1...3 (binäres Bitmuster 000...111). Liegt z.B. an diesen Pins das Muster 011 an (=binär 3), geht der Ausgang "3" (Stift 12) auf LOW (sofern die Freigabe-Pegel an den Pins 4...6 richtig anliegen).

Durch die Einbeziehung der RD- und WR-Leitung sind die CS-Signale genauso lang wie diese beiden CPU-Steuersignale. Das Ausgabe-IC '374 erhält sein CSOut-Signal bei aktivem WR, während das Eingabe-IC '373 bei aktivem RD angesprochen wird.

Die Zusammenschaltung der vier ICs (Bilder 1.2 und 1.3) ergibt die funktionsfähige Erweiterung eines Mikrocomputers um je einen 8-Bit-Ein/Ausgabe-Kanal mit TTL-Stufen; im betrachteten Beispiel belegen beide ICs die Portadresse "E8", aber der Eingabe-Kanal wird nur bei aktivem RD angesprochen (nur beim Input-Befehl "IN E8"), während der Ausgabe-Kanal nur bei aktivem WR Daten übernimmt (nur beim Output-Befehl "D3 E8"). Bei anderen freien Portadressen als "E8" ist die Beschaltung der zusätzlichen Auswahllogik (vgl. Bild 1.3 oben) entsprechend zu ändern.

Bild 1.3: Chip-Select-Erzeugung für die Portadresse "E8".



## 2 Parallele Ein/Ausgabe

Das Parallel-Interface 87060 ist auf einer Europakarte untergebracht, die über 24 Verbindungsleitungen mit dem Systembus verbunden wird. Diese Baugruppe belegt vier freie (Port-)Adressen und erweitert die E/A-Kapazität um 24 bidirektionale Leitungen; d.h. die Übertragungsrichtung der TTL-kompatiblen Anschlüsse kann wahlweise als Ausgang oder als Eingang geschaltet ("programmiert") werden.

### 2.1 Parallel-Interface 87060 mit dem 8255

Zentraler Baustein dieser Karte ist das hochintegrierte IC 8255 aus der 8085-Familie (Bild 2.1). Eingangsseitig ist es an den System-Datenbus sowie an die Steuerleitungen RD, WR und zwei Adreßbits angeschlossen. Die Signale RD bzw. WR geben die Übertragungsrichtung des Datenflusses an (zur CPU hin bei LOW an RD und zum E/A-Baustein hin bei LOW an WR), während die beiden Adreßbits eins von vier internen Zielregistern anwählen: Port A, B, C oder das Steuerregister (auch Datenrichtungsregister oder Control Register), das die Betriebsart des Bausteins festlegt (vgl. Abschnitt 2.2 auf der folgenden Doppelseite).

Die beiden Adreßbits sind deshalb an A4 und A6 des System-Adreßbus angeschlossen, damit sich zusammen mit der Decodier-Logik (IC1 und IC2) eine Adreßverteilung ergibt, wie Sie sie im Anhang C (Seite 78) finden. Entsprechend decodieren die beiden Demultiplexer 74(LS)138 die Portadressen A8, B8, C8 und D8, die eine sinnfällige Zuordnung zu den Ports A, B, C und dem Datenrichtungsregister herstellen. Aufgrund einfacherer Decodier-Hardware ergibt sich bei der gewählten Beschaltung eine Überschneidung der Adressen A8 mit 88, B8 mit 89, C8 mit E8 und D8 mit F8 (vgl. auch Abschnitt 6.8 auf Seite 54).

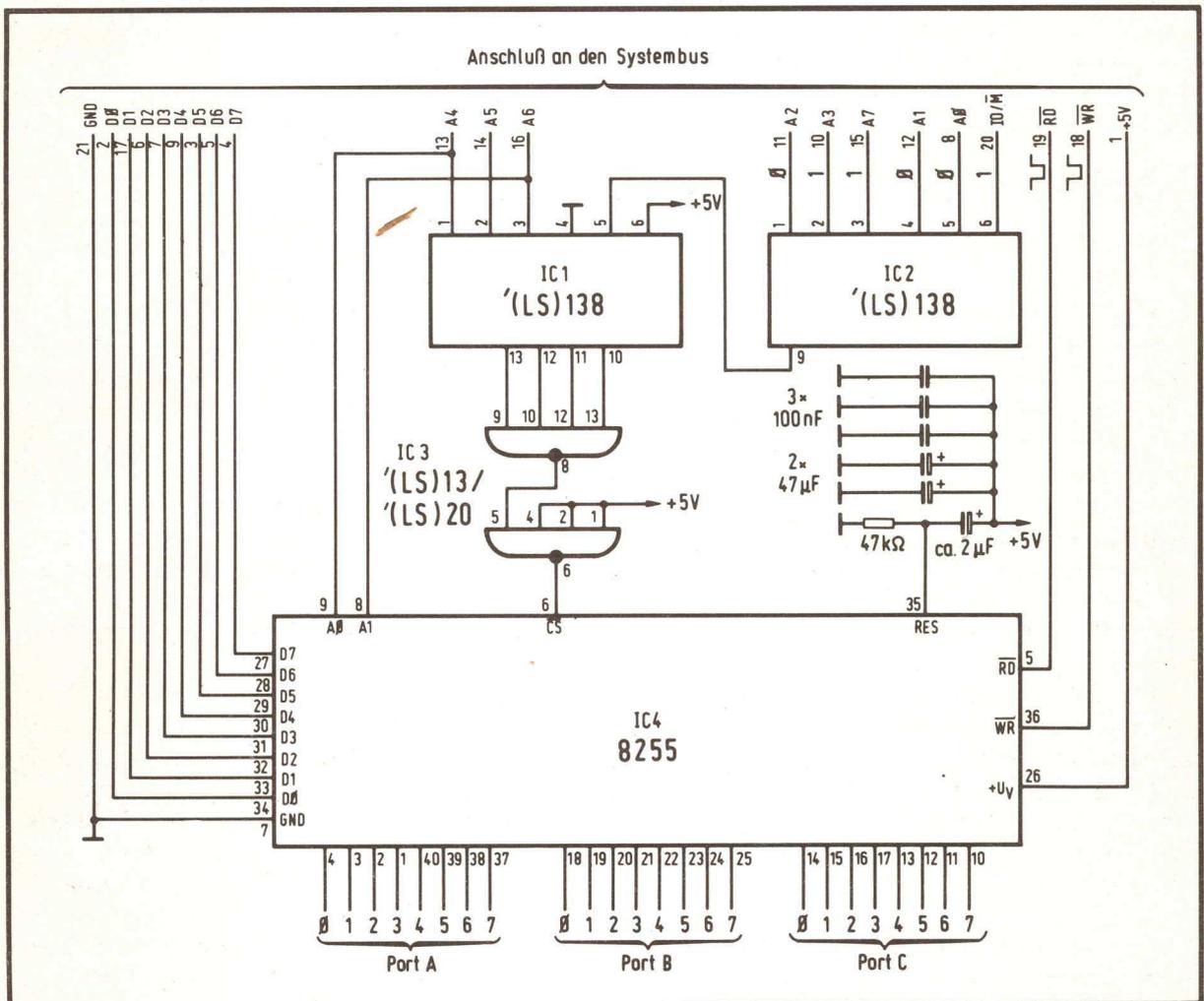
Der Datenverkehr zwischen den externen Anschlußstiften und der Zentraleinheit spielt sich ausschließlich auf dem Umweg über den Akkumulator (CPU-Register A) ab, d.h. ein auszugebendes Byte muß vor dem Aufruf des OUT-Befehls (=D3 XX) in den Akku gebracht werden, und nach Aufruf des IN-Befehls (=DB XX) steht der Pegel der angesprochenen acht Datenleitungen im Akku.

Zusammen mit dem OUT- oder IN-Befehl muß im zweiten Wort des Befehls die Portadresse (A8, B8, C8 oder D8) angegeben werden. Außerdem ist nach dem Einschalten der Stromversorgung einmalig die Betriebsart ins Datenrichtungsregister zu laden (Zieladresse D8), damit der Baustein "weiß", welcher seiner Anschlüsse Eingang und welcher Ausgang sein soll (vgl. nächsten Abschnitt 2.2). Diese Festlegung der Betriebsart bleibt so lange gültig, bis sie durch Umprogrammieren geändert wird.

Nach dem Einschalten der Versorgungsspannung sind sämtliche 24 Anschlußleitungen auf Eingang geschaltet.

Die an einem Port anliegenden Pegel können übrigens auch dann gelesen werden, wenn der betreffende Kanal auf Ausgang geschaltet ist!

Bild 2.1: Schaltung der parallelen Ein/Ausgabe-Einheit.



## 2.2 Steuerwort des 8255

Um die Betriebsart des E/A-Bausteins 8255 festzulegen, muß vor dem ersten Datentransfer ein sogenanntes Steuerwort ins Datenregister (Control Register) geladen werden. Jedes Bit innerhalb des Steuerwortes ist einem der E/A-Kanäle zugeordnet und bestimmt dessen Verhalten (Eingang bzw. Ausgang). Wie aus Bild 2.2 zu erkennen ist, hat Port C zwei Steuerbits (Bit 0 und Bit 3), so daß bei diesem Kanal untere und obere Hälfte (unteres bzw. oberes "Nibble") getrennt programmiert werden können.

Wenn das zugehörige Steuerbit auf LOW liegt, bedeutet das für die Bits des entsprechenden E/A-Kanals, daß sie als Ausgänge geschaltet sind; bei HIGH im zugehörigen Steuerbit wirken die E/A-Bits als Eingang.

Bit 7 im Steuerwort ist immer auf HIGH, während mit den drei eingetragenen LOW-Bits für die Betriebsart noch andere, spezielle Verhaltensweisen (Modes) vorgegeben werden können, bei denen die Leitungen von Port C bestimmte Steuerfunktionen ausüben. Da es sich hierbei um spezifisch zugeschnittene Anwendungsfälle handelt, wollen wir hier ausschließlich den Betrieb im Mode 0 betrachten, bei dem die drei Betriebsarten-Bits auf LOW liegen.

Tabelle 1 stellt die möglichen Kombinationen von Ein- und Ausgangsverteilung und zugehörigem (hexadezimalen) Steuerwort zusammen; da bei Port C untere und obere Hälfte getrennt ansprechbar sind, ergeben sich insgesamt 16 verschiedene Möglichkeiten, den Baustein zu betreiben.

Eine einfache Prüfsequenz für die Baugruppe könnte wie folgt aussehen: Die Ports A und C sind auf Ausgang und Port B ist auf Eingang geschaltet (Steuerwort "82" nach D8 laden). Die mit den Kippschaltern an B eingestellten Pegel werden in einer Endlosschleife eingelesen und an A direkt sowie an C invertiert wieder ausgegeben.

2800	3E 82	TEST10	MVI A,82	Steuerwort in den Akku
2802	D3 D8		OUT D8	und ins Control Register
2804	DB B8	LOOP	IN B8	Port B einlesen
2806	D3 A8		OUT A8	und an Port A ausgeben
2808	2F		CMA	Akku invertieren
2809	D3 C8		OUT C8	und an Port C ausgeben
280B	C3 04 28		JMP LOOP	Schleife schließen

Wie Sie sehen, muß die Initialisierung (Laden des Steuerwortes) nur einmal durchlaufen werden; in der anschließenden Endlosschleife ändert sich an der anfangs vorgenommenen Programmierung nichts mehr.

**Achtung!** Beim Laden eines Steuerwortes können an den Ausgängen des ICs Störspitzen (Spikes) auftreten, auch wenn sich der Pegel des betreffenden Ausgangs ansonsten nicht ändert.

Bild 2.2: Aufbau des 8255-Steuerwortes.

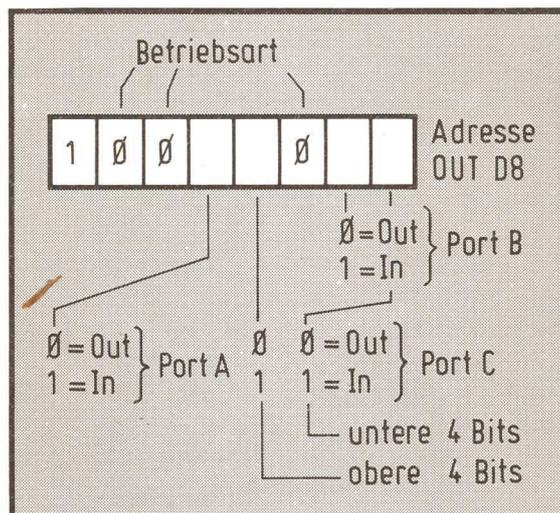


Tabelle 1. Betriebsarten der Parallel-Ein/Ausgabe 8255

Port A	Port B	Port C (Hi)	Port C (Lo)	Steuerwort	=	HEX
Aus	Aus	Aus	Aus	1000 0000	=	80
Aus	Aus	Aus	Ein	1000 0001	=	81
Aus	Ein	Aus	Aus	1000 0010	=	82
Aus	Ein	Aus	Ein	1000 0011	=	83
Aus	Aus	Ein	Aus	1000 0100	=	88
Aus	Aus	Ein	Ein	1000 1001	=	89
Aus	Ein	Ein	Aus	1000 1010	=	8A
Aus	Ein	Ein	Ein	1000 1011	=	8B
Ein	Aus	Aus	Aus	1001 0000	=	90
Ein	Aus	Aus	Ein	1001 0001	=	91
Ein	Ein	Aus	Aus	1001 0010	=	92
Ein	Ein	Aus	Ein	1001 0011	=	93
Ein	Aus	Ein	Aus	1001 1000	=	98
Ein	Aus	Ein	Ein	1001 1001	=	99
Ein	Ein	Ein	Aus	1001 1010	=	9A
Ein	Ein	Ein	Ein	1001 1011	=	9B

Ein: Port-Bits sind auf Eingang geschaltet  
 Aus: Port-Bits sind auf Ausgang geschaltet  
 Hi: Oberes Nibble (die oberen vier Bits 4...7)  
 Lo: Unteres Nibble (die unteren vier Bits 0...3)

---

## 2.3 Eingangsbuffer und Ausgangstreiber

---

Um die logischen Pegel an sämtlichen 24 E/A-Leitungen optisch darzustellen, sind an alle Leitungen Leuchtdioden mit vorgeschalteten Treibertransistoren angeschlossen (Bild 2.3). Die Transistoren stellen den Strom für die LEDs zur Verfügung, damit dieser nicht vom Interface-Baustein selbst geliefert werden muß (was im Falle eines Eingangsbits ohnehin nicht möglich wäre).

Am Port B sind kleine Kippschalter vorgesehen, um Pegel manuell vorgeben zu können. Damit bei offenem Schalter (=HIGH) die zugehörige LED auch leuchtet, liegt die Basis der hier angeordneten Transistoren über einen Vorwiderstand an +5 V.

Bei den Transistoren an den Ports A und C entfällt dieser Widerstand, und bei offenem Eingang ist der Zustand der Leuchtdiode unbestimmt. Dies entspricht genau dem Verhalten eines 8255-Eingangsbits, das keinen eindeutigen Pegel zugeordnet bekommt.

Das IC ist in der Lage, eine Standard-TTL-Last zu treiben. Das bedeutet, daß die Spannung bei einem auf Ausgang programmierten Bit maximal 0,45 V beträgt, wenn der betreffende Anschluß 2,2 mA aufnimmt (LOW am Ausgang); im anderen Fall (Ausgang auf HIGH) liegt die Ausgangsspannung garantiert über 2,4 V, auch wenn der Ausgang 400 µA liefert (in einen angeschlossenen TTL-Eingang).

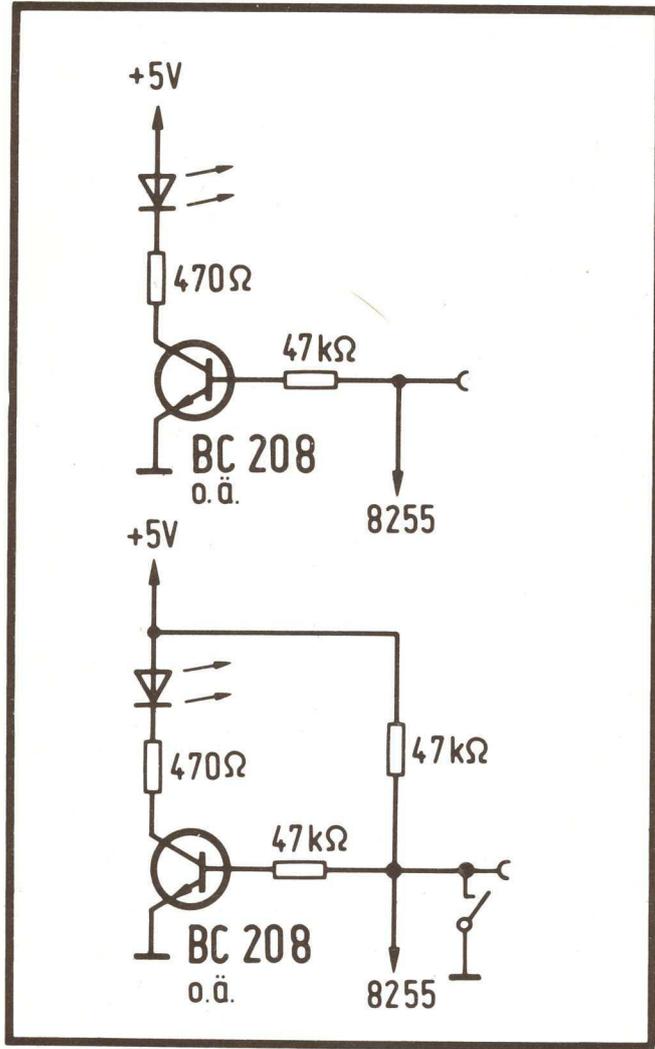
Bei Programmierung als Eingang fließen maximal 10 µA in das IC, so daß die Belastung externer Schaltungen extrem gering ist; hinzuzurechnen ist in jedem Fall die (geringfügige) Belastung, die durch den Basis-Vorwiderstand des angeschlossenen Treibertransistors entsteht.

Wenn größere Lasten geschaltet werden sollen, müssen an die IC-Ausgänge zusätzliche Transistorstufen angeschlossen werden, die prinzipiell genauso aussehen wie die in Bild 2.3 gezeigten (anstelle der LED den Lastwiderstand einsetzen). Außer an die E/A-Leitung müssen externe Komponenten natürlich noch an die Masseleitung angeschlossen werden.

Im Falle induktiver Lasten, wie z.B. Relais, muß parallel zur Induktivität (Spule) eine "Löschdiode" gelötet werden (Katode an +5 V, Anode an den Kollektor), um die beim Schalten auftretenden Induktionsspitzen kurzzuschließen.

**Achtung!** Wenn Port B auf Ausgang geschaltet ist, müssen die Kippschalter offen sein (Knebel nach oben); andernfalls entsteht ein Kurzschluß, der das IC nach längerer Zeit beschädigen kann. Ausgangsseitige Überlastung durch Kurzschluß überstehen die Anschlüsse in der Regel unbeschadet, während Überspannungen an den Anschlußstiften sofort zur Zerstörung führen.

Bild 2.3: Pegelvorgabe und Treiberstufen für die LEDs.



---

## 2.4 Bestückungsplan Parallel-Interface

---

Das Einlöten der Bauteile vollzieht sich zweckmäßigerweise so, daß zunächst die flachen Bauelemente eingesetzt und verlötet werden (ICs 1...3, Widerstände, Kondensatoren, Elkos und die 40polige Fassung für den 8255).

Nach dem Abschneiden der Anschlußdrähte folgt der Einbau der Transistoren, die alle gleich ausgerichtet sind: Bei Draufsicht auf die Schriftseite der Platine kommt jeweils nach links oben (in die gemeinsame Masseleitung) der Emitter, links unten die Basis und unten rechts der Kollektor.

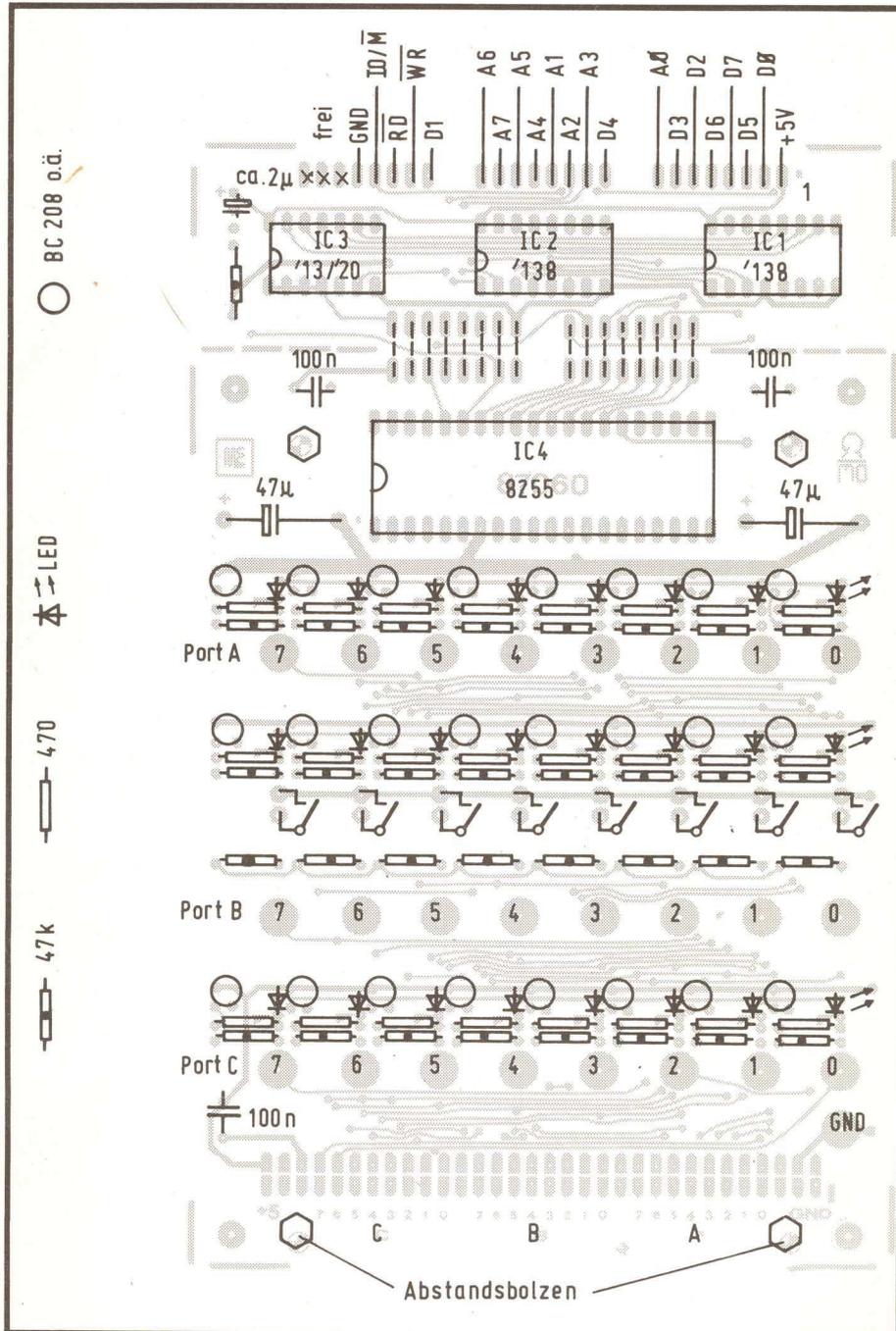
Um bei den Leuchtdioden eine einheitliche Länge zu erzielen, sollten Sie zunächst die vier Abstandsbolzen anschrauben. Dann sind die LEDs einzusetzen (mit der Katode, dem kürzeren Anschlußbein, nach unten!) und zunächst nur an einem Anschlußbein festzulöten. In diesem Zustand lassen sie sich problemlos ausrichten und anschließend festlöten.

Wenn zusätzlich die passende Aluminium-Frontplatte montiert werden soll, muß diese mit den Abstandsbolzen verschraubt werden, ohne daß zuvor die LEDs festgelötet werden. Nach dem Fixieren der Frontplatte lassen sich die Leuchtdioden in die entsprechenden Bohrungen einpassen und genau fluchtend einlöten.

Ähnlich vollzieht sich die Montage der Kippschalter, bei denen nur der mittlere Anschlußstift in die zugehörige Bohrung eingesteckt wird; der verkürzte Anschlußstift sitzt auf der Bohrung der Platine auf und wird vom hindurchfließenden Lötzinn fixiert.

Abschließend folgt der Anschluß an den Systembus, was entweder über 24 separate Leitungen oder passende Flachbandkabel geschieht; nach dem Einsetzen des 40poligen Interface-Bausteins kann die Inbetriebnahme der Baugruppe vorgenommen werden, wozu sich beispielsweise die Prüfsequenz im Abschnitt 2.2 (auf Seite 14) eignet.

Bild 2.4: Bestückungsplan für die Platine 87060.



---

### 3 Der programmierbare Zeitgeber

---

In der Praxis kommt es recht häufig vor, daß der Mikrocomputer eine definierte Zeit lang warten muß. Um dies zu realisieren, sind Zeitschleifen ein häufig angewandtes Mittel. Dabei durchläuft ein Programm bestimmte Befehle ein paar tausend Mal, um im Endeffekt auf jede gewünschte Laufzeit zu kommen. Diese Methode ist nicht nur unelegant, sondern hindert die CPU auch noch, in dieser an sich sinnlosen Wartezeit etwas anderes zu tun. Daher werden zur Erzeugung von Zeitverzögerungen hochintegrierte Zeitgeber-Schaltungen verwendet (sogenannte Timer), die sogar komplexe Impulsfolgen liefern können.

---

#### 3.1 Blockschaltung des Timers 8253

---

Ein typischer Vertreter dieser Gattung ist das Timer-IC 8253 aus der 8085-Familie. Es enthält drei interne 16-Bit-Rückwärtszähler, deren Takteingang CLOCK mit einem Freigabe-Eingang GATE UND-verknüpft ist, d.h. die Taktimpulse gelangen nur dann an den zugehörigen Zähler, wenn der Freigabe-Eingang auf HIGH liegt (Bild 3.1). Sämtliche Zähler lassen sich auf einen bestimmten Anfangswert setzen (laden), von dem aus das Zurückzählen auf Null erfolgt.

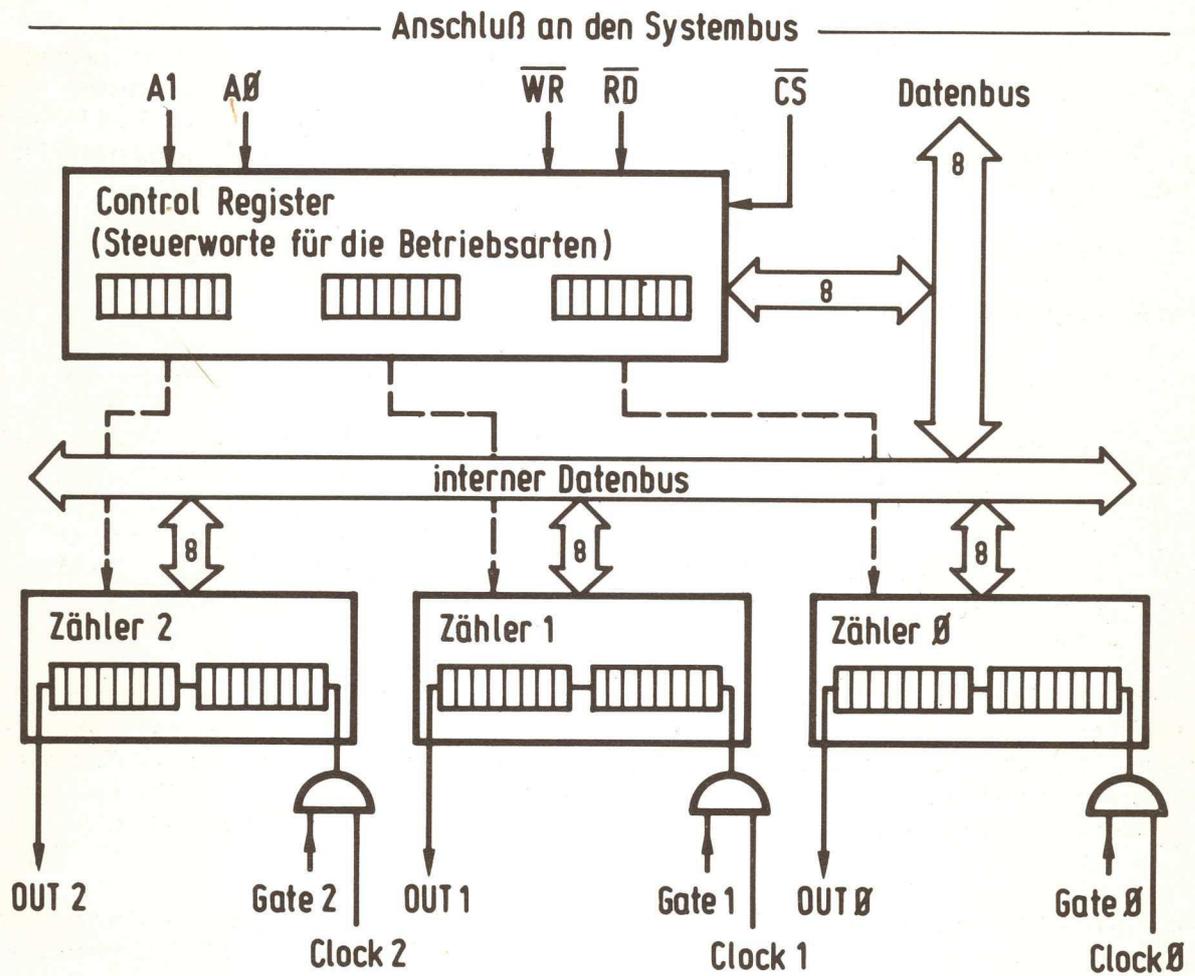
Durch die Möglichkeit, die drei Zähler eines IC 8253 hintereinander zu schalten (zu kaskadieren), entsteht eine 48-Bit-Zählerkette mit einem unvorstellbaren Zählbereich: Selbst bei eingangsseitiger Einspeisung der maximal möglichen Taktfrequenz von 2 MHz ändert sich beim größten Teilerfaktor das Ausgangssignal des letzten Teilers nur alle vier Jahre!

Darüber hinaus lassen sich die Zähler aber nicht nur als simple Teiler betreiben, sondern auch als Rechteckgenerator, zur Trigger-Erzeugung oder auch zur Ereigniszählung. Zur Festlegung der gewünschten Betriebsart (Mode) muß vor dem eigentlichen Betrieb ein sogenanntes Steuerwort in den Baustein geladen werden (vgl. nächsten Abschnitt 3.2).

Eingangsseitig ist das IC mit dem System-Datenbus verbunden, von wo die Steuerdaten bzw. die Zähler-Anfangswerte geladen werden; außerdem führen die Steuerleitungen RD, WR sowie zwei Adreßbits an den Baustein. Die Leseleitung dient dazu, beim Auslesen eines erreichten Zählerstandes das benötigte Steuersignal zu übergeben. Der Chip-Select-Eingang CS schließlich ist mit einer Decodier-Logik zu verbinden, die die gewählten Portadressen für das Timer-IC entschlüsselt (vgl. Abschnitt 6.2 auf Seite 42).

Die beiden Adreßleitungen wählen eins von vier möglichen internen Zielen aus: Einen der Zähler 0, 1 oder 2 bzw. das Steuerregister, das zwar nur eine Portadresse belegt, aber die Steuerdaten für alle drei Zähler getrennt bereithält. Die Unterscheidung, für welchen der drei Zähler ein Steuerwort gilt, wird mit zwei im Steuerwort enthaltenen Bits vorgenommen (vgl. Bild 3.2 auf der folgenden Doppelseite).

Bild 3.1: Interne Struktur des programmierbaren Zeitgebers 8253.



### 3.2 Steuerwort des 8253

Vor dem eigentlichen Betrieb eines (oder mehrerer) Zähler im Timer-IC ist die gewünschte Betriebsart (Mode) festzulegen, indem das passende Steuerwort ins Steuerregister (Control Register) übertragen wird. Den Aufbau dieses Steuerwortes zeigt Ihnen Bild 3.2:

Die beiden obersten Bits "C" (=Counter) definieren die binäre Zählernummer 0 (=00), 1 (=01) oder 2 (=10); der dritte mögliche Zustand für diese beiden Bits (11) schafft "Verwirrung" und ist deshalb nicht zulässig.

Die folgenden beiden RW-Bits (=Read/Write) geben an, ob in den Baustein "geschrieben" oder aus ihm "gelesen" werden soll. Einschreiben bedeutet, daß entweder ein Anfangswert für einen der Zähler oder ein Steuerwort geladen wird. Lesen heißt, daß ein bestimmter Zählerstand abgefragt, d.h. in die CPU übertragen werden soll.

Beim Einschreiben sind drei unterschiedliche Fälle möglich: 1. Laden der unteren 8 Bits des insgesamt 16 Bit langen Zählers und gleichzeitiges Nullsetzen der oberen 8 Bits (RW=01); 2. Laden der oberen 8 Bits und gleichzeitiges Nullsetzen der unteren 8 Bits (RW=10) und 3. Sequentielles Laden der unteren, gefolgt von der oberen 8-Bit-Hälfte (RW=11). Diese Unterscheidung ist deshalb möglich, um nicht unbedingt jedesmal zwei Bytes in einen Zähler überschreiben zu müssen, wenn die geforderte Auflösung (Stufung der Zähl Schritte) auch gröber sein kann.

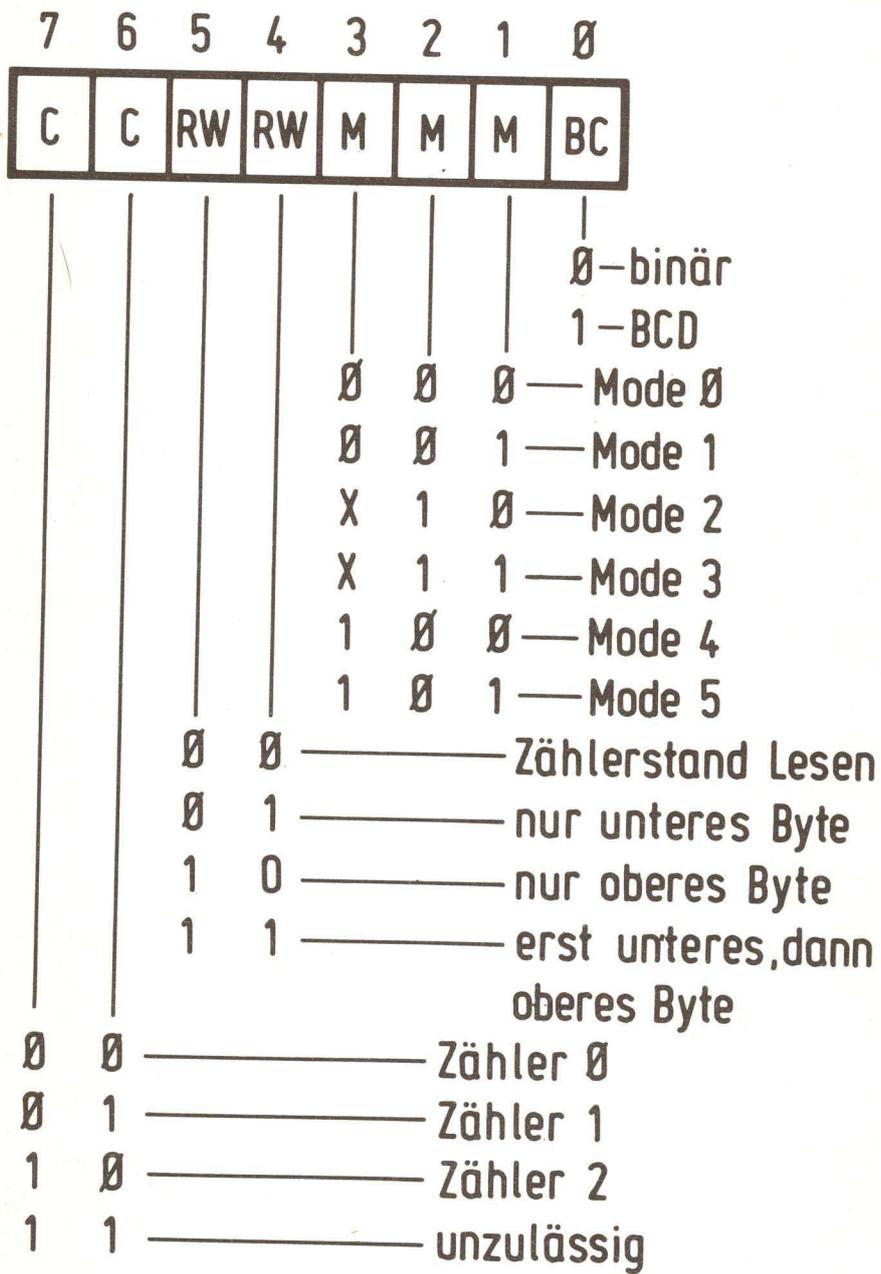
Beim Lesen eines Zählerstandes (RW=00) geschieht die Bereitstellung der Daten entsprechend der Programmierung beim Einschreiben, also entweder nur unteres oder nur oberes oder nacheinander erst unteres und dann oberes Byte.

Beim Laden oder Lesen eines 16-Bit-Zählerstandes erfolgt zweimal nacheinander die Aktivierung derselben Portadresse; das Umschalten von unterer auf obere Zählerhälfte nimmt der Baustein selbständig vor, wenn er entsprechend programmiert worden ist.

Zur Festlegung der Betriebsart dienen die drei M-Bits (=Mode); von den theoretisch möglichen acht Zuständen sind nur die Modes 0...5 zulässig. Eine nähere Beschreibung dieser Betriebsarten finden Sie im folgenden Abschnitt 3.3; detaillierte Zeitabläufe für diese Modes sind im Abschnitt 7.2 (auf den Seiten 62...69) zusammengestellt und erläutert.

Schließlich gibt das niedrigstwertige Bit 0 an, ob das Abwärtszählen binär oder im BCD-Format erfolgen soll; damit kann man sich lästige Umrechnereien von beispielsweise dezimal 1000 ins Binärformat ersparen.

Bild 3.2: Aufbau des Timer-Steuerwortes im Control-Register



---

### 3.3 Betriebsarten des 8253

---

Die drei M-Bits im Steuerwort für den Timer 8253 wählen eine von sechs mögliche Betriebsarten 0...5 aus (vgl. vorigen Abschnitt 3.2). Die Tabelle 2 stellt diese Modes zusammen, die sich in periodische und einmalige Ereignisse aufteilen lassen.

Periodische Impulsfolgen treten in den Modes 2 und 3 auf. Im Mode 2 arbeitet das IC als Teiler (kurzer Ausgangsimpuls), und im Mode 3 tritt am Ausgang ein symmetrisches Rechtecksignal auf (vgl. Abschnitt 7.2).

Im Mode 0 und 1 gibt der 8253 einen LOW-Impuls definierter Dauer ab, dessen Beginn man hard- oder softwaremäßig auslösen kann.

In den Modes 4 und 5 wird ein (einmaliger) Impuls erzeugt, der nach einer bestimmten Zeitspanne auftritt (Auslösung wiederum hard- oder softwaremäßig).

Für das Taktsignal am CLOCK-Eingang sind maximal 2,6 MHz zulässig; eine Begrenzung der minimalen CLOCK-Frequenz gibt es nicht, d.h. man kann ohne weiteres auch einzelne Impulse, die unkorreliert auftreten, erfassen und zählen.

Während des Betriebs ist es jederzeit möglich, den Zählerstand zu lesen. Wenn man während des Zählens ein Zählerregister neu lädt, dann stoppt der Zählvorgang beim Laden des ersten Bytes, und mit dem Überschreiben des zweiten Bytes beginnt eine neue Zählperiode.

---

**Tabelle 2. Betriebsarten des Timer-ICs 8253**

---

**Mode 0: Impulserzeugung (einmalig, Software-Auslösung)**

LOW-Impuls am Ausgang mit  $n$  Taktperioden Dauer  
Beginn: Einschreiben des Anfangswertes  $n$

**Mode 1: Impulserzeugung (einmalig, Hardware-Auslösung)**

LOW-Impuls am Ausgang mit  $n$  Taktperioden Dauer  
Beginn: Positive Flanke am Gate-Eingang

**Mode 2: Teiler durch  $n$**

LOW-Impuls am Ausgang mit der Dauer einer Taktperiode,  
zyklisch alle  $n$  Takte wiederkehrend

**Mode 3: Rechteckgenerator**

Rechtecksignal am Ausgang mit der Periodendauer von  $n$   
Taktperioden; bei ungeradem  $n$  ist der HIGH-Zustand eine  
Taktperiode länger als der LOW-Zustand

**Mode 4: Trigger-Impuls (einmalig, Software-Auslösung)**

LOW-Impuls am Ausgang mit der Dauer einer Taktperiode,  
beginnend nach  $n$  Taktperioden  
Zählbeginn: Einschreiben des Anfangswertes  $n$

**Mode 5: Trigger-Impuls (einmalig, Hardware-Auslösung)**

LOW-Impuls am Ausgang mit der Dauer einer Taktperiode,  
beginnend nach  $n$  Taktperioden  
Zählbeginn: Positive Flanke am Gate-Eingang

---

$n$ : Anfangswert, der in den Zähler geladen wird  
Taktperiode: Bezieht sich auf das CLOCK-Signal

Detaillierte Anwendungsbeispiele hierzu finden Sie auf den Sei-  
ten 62...69.

---

## 4 Serielle Ein/Ausgabe

---

Bei der Ansteuerung externer Peripheriegeräte übergibt man die Daten in der Regel nicht parallel, sondern bitseriell; dies geschieht in erster Linie, um die notwendigen Treiberschaltungen zu reduzieren, da diese beim seriellen Datentransfer nur einmal, beim byteweisen Betrieb aber achtmal vorhanden sein müssen. Diese Aussage trifft allerdings nicht in allen Fällen zu, weil man bei bestimmten seriellen Übertragungsverfahren zusätzliche Signale erzeugt, um die Sicherheit des Datenverkehrs zu erhöhen.

---

### 4.1 Blockschaltung des ACIA 6850

---

Die Abkürzung "ACIA" stammt vom englischen "Asynchronous Communication Interface Adapter", was soviel heißt wie "Interface Baustein für den asynchronen Datenverkehr". Dieses IC stammt aus der Motorola-Mikrocomputer-Familie 6800 (Bild 4.1).

Aufgabe dieses ICs ist es, die für den seriellen Datentransfer erforderliche Serien/Parallel- und Parallel/Serien-Wandlung vorzunehmen. Der Zusatz "asynchron" bezieht sich hierbei auf die Tatsache, daß der Ausgabe- und Einlesetakts weder untereinander noch zum Systemtakt irgendeine Relation haben müssen.

Der Baustein besitzt für das Senden und Empfangen jeweils ein separates Buffer-Register, so daß beide Betriebsarten gleichzeitig möglich sind. Zur Festlegung der Übertragungs-Randbedingungen ist vor der Aufnahme des Betriebs ein Steuerwort zu laden (ins Steuer- oder Control-Register, vgl. nächsten Abschnitt 4.2).

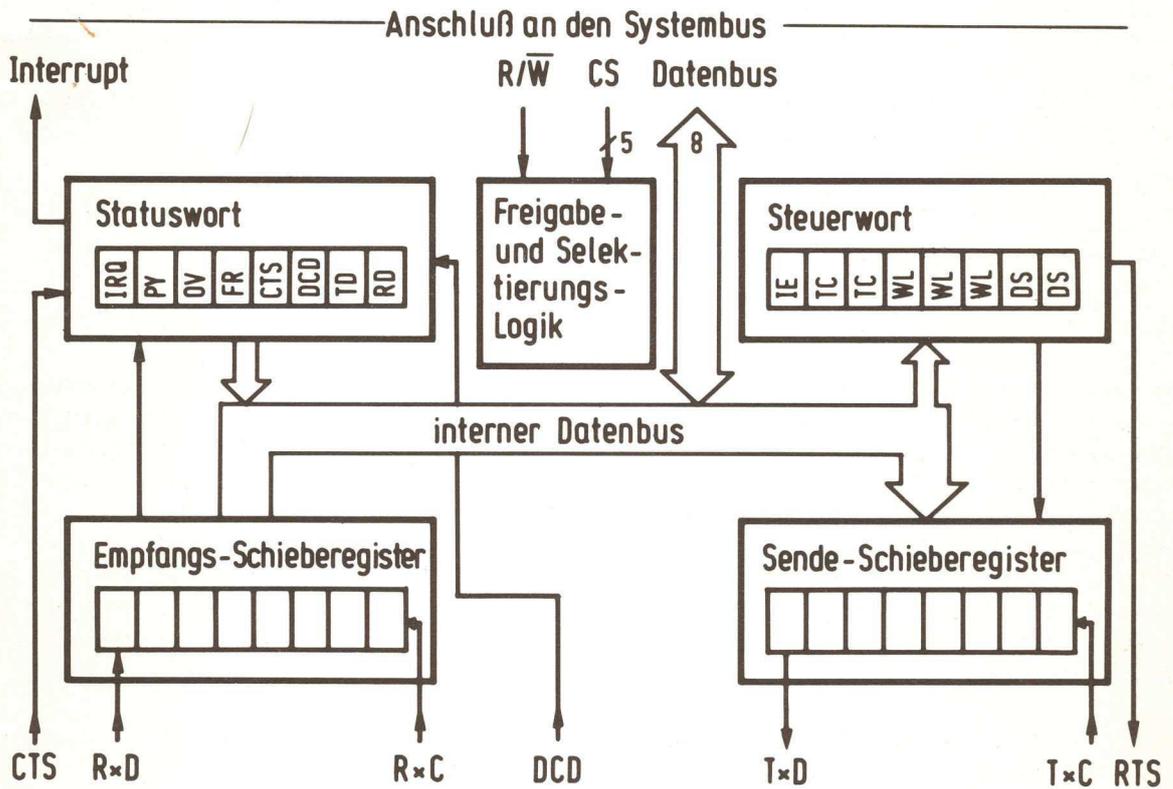
Zur Zustandsabfrage steht ein weiteres internes Register zur Verfügung (Status-Register), das von der CPU jederzeit gelesen werden kann (vgl. übernächsten Abschnitt 4.3). Im System belegt der Baustein zwei Port-adressen; die Unterscheidung der vier internen Ziele (Sende- und Empfangsregister, Steuer- und Statuswort) erfolgt über ein Adreßbit zusammen mit der Schreib/Lese-Leitung R/W.

Der 6850 verfügt über insgesamt fünf Freigabe- bzw. Selektierungseingänge, die die zur Adreßdekodierung benötigte Hardware deutlich reduzieren.

Der Interrupt-Ausgang an diesem IC kann u.a. dazu benutzt werden, jedesmal dann eine Unterbrechung des laufenden Programms zu erzeugen, wenn das Sende-Schieberegister leer oder das Empfangs-Schieberegister voll ist.

Die Ein- und Ausgänge am unteren Bildrand sind auf der Doppelseite 32/33 ausführlich erläutert; "RxD" und "RxC" bedeuten Empfangs-Daten und -Schiebetakt (Receive Data und Receive Clock), "TxD" und "TxC" kennzeichnen dementsprechend Sende-Daten und -Schiebetakt (Transmit Data und Transmit Clock).

Bild 4.1: Interne Struktur des asynchronen Interface-Bausteins 6850.



---

## 4.2 Steuerwort des 6850

---

Vor der Aufnahme des eigentlichen Datenverkehrs muß der 6850 initialisiert werden, indem man das passende Steuerwort ins zugehörige Register überschreibt (Bild 4.2; vgl. auch Beschreibung der Anschlüsse auf der Doppelseite 32/33).

Es ist in diesem Zusammenhang ratsam, ein softwaremäßiges Rücksetzen durchzuführen (Steuerwort mit "11" in den beiden untersten Bits "DS" laden), um eindeutige Verhältnisse zu schaffen.

Bei der Wahl der Betriebsart bestimmen die DS-Bits, ob der an TxC (Sendetakt) bzw. RxC (Empfangstakt) anliegende Takt direkt oder durch 16 bzw. 64 geteilt an die jeweiligen Schieberegister gelangen soll.

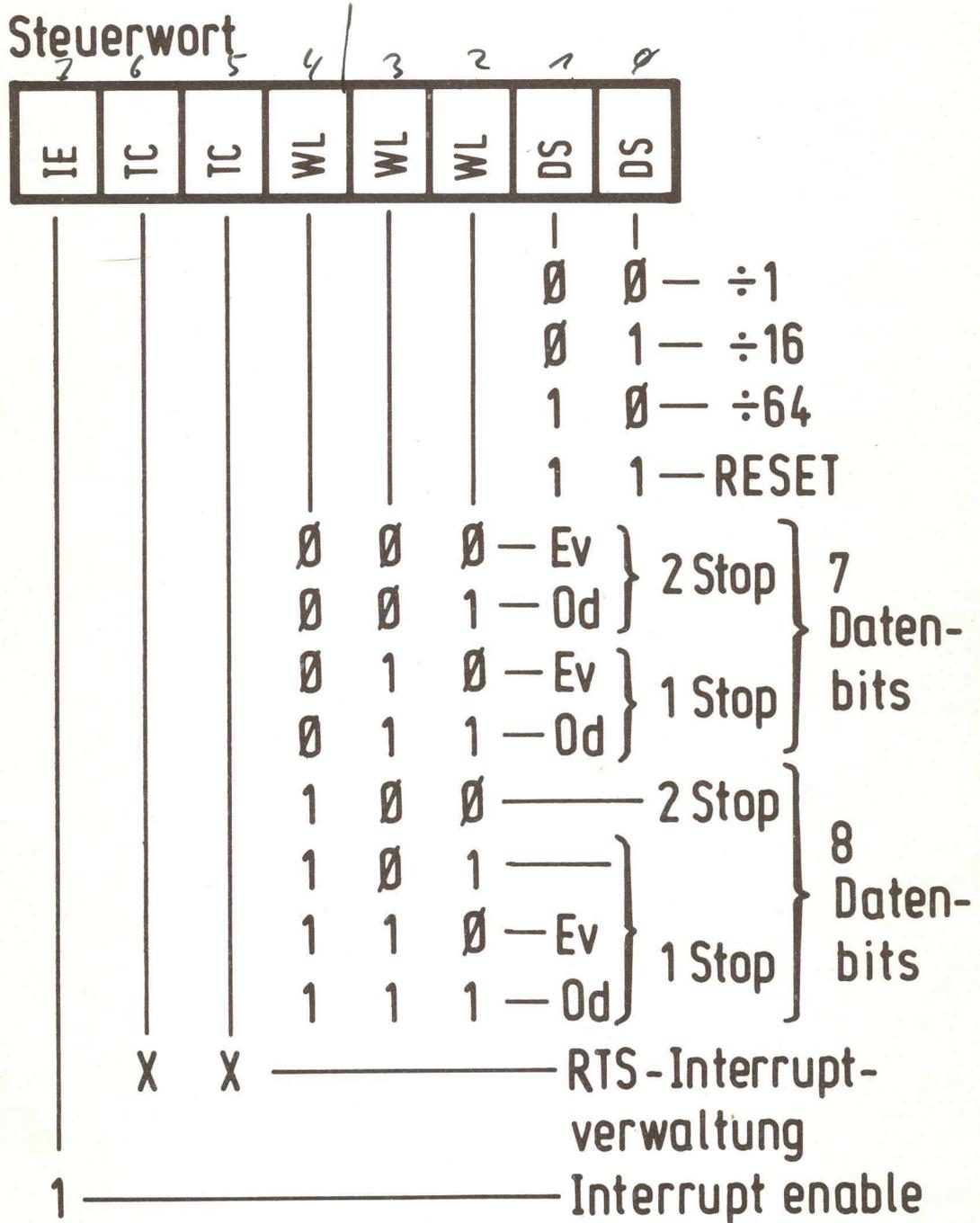
Die drei WL-Bits zur Festlegung der Wortlänge erlauben eine vielseitige Telegrammgestaltung, die an die unterschiedlichsten Erfordernisse angepaßt werden kann. So kann man wahlweise sieben oder acht Datenbits übertragen (oberstes WL-Bit auf 0 bzw. 1), was sich auf den Datenverkehr von ASCII-Zeichen bezieht; dabei genügt die Übertragung von sieben Bits (entsprechend einem Zeichenvorrat von 128 ASCII-Zeichen), während für die Programm- oder Datenaufzeichnung natürlich stets die volle 8-Bit-Wortlänge gewählt wird.

Die übrigen beiden WL-Bits bestimmen die Anzahl der Stoppbits, die an jedes Datenwort angehängt werden, um der empfangenden Stelle die Synchronisation zu ermöglichen. Außerdem kann der Baustein ein Paritätsbit erzeugen, das die Anzahl der im Wort übertragenen HIGH-Zustände auf einen geraden (Parity Even) oder ungeraden (Parity Odd) Wert ergänzt; dieses Paritätsbit wird, sofern es erzeugt wird, beim Empfangen nach denselben Gesichtspunkten geprüft und kann zu einer ersten, groben Fehlererkennung herangezogen werden.

Zur Beeinflussung des RTS-Ausgangs (Request To Send) sind die TC-Bits vorgesehen (Transmitter Control Bits). Sie bestimmen, was bei leerem Sende-Schieberegister passieren soll: Der RTS-Ausgang geht auf LOW und der Interrupt ist gesperrt, wenn TC=00 ist; RTS geht auf LOW und der Interrupt ist freigegeben, wenn TC=01 ist; und bei TC=10 geht RTS auf HIGH bei gleichzeitig gesperrtem Interrupt. Programmiert man beide TC-Bits auf HIGH, geht RTS bei leerem Sende-Schieberegister auf LOW, der Interrupt bleibt gesperrt und über die Sende-Datenleitung wird ein Unterbrechungszeichen übertragen. Diese Leitung dient dazu, angeschlossene Peripheriegeräte zu steuern oder das bei der seriellen Übertragung benutzte Signal "DTR" (Data Terminal Ready) zu erzeugen.

Mit einem HIGH-Pegel im höchstwertigen Bit "IE" des Steuerwortes wird bei folgenden Bedingungen ein Interrupt ausgelöst: Empfangs-Schieberegister voll, Überlauf (Verlust eines oder mehrerer Zeichen) oder eine positive Flanke am DCD-Eingang (Data Carrier Detect; Testleitung, die bei LOW-Pegel das Vorhandensein einer einwandfreien Übertragungstrecke signalisiert).

Bild 4.2: Aufbau des ACIA-Steuerwortes im Control-Register.



---

### 4.3 Statuswort des 6850

---

Im Betrieb des Interface-Bausteins kann die CPU jederzeit das Status-Register auslesen und bestimmte Zustände abfragen; natürlich muß zuvor einmalig das Steuerwort zur Festlegung der Übertragungs-Randbedingungen geladen worden sein.

Durch das Status-Register lassen sich bestimmte Zustände softwaremäßig abfragen (z.B. volles Empfangs-Schieberegister), ohne daß man dabei auf einen Hardware-Interrupt zurückgreift. Je nach Anwendungsfall kann man also die optimale Lösung wählen, den Hardware-Interrupt etwa bei zeitkritischen Lösungen und die Software-Schleife (Polling) immer dann, wenn die CPU ausreichend Zeit zur Verfügung hat.

Die beiden untersten Bits im Statuswort melden, daß das Empfangs-Schieberegister voll bzw. das Sende-Schieberegister leer ist (beide Signale sind aktiv HIGH).

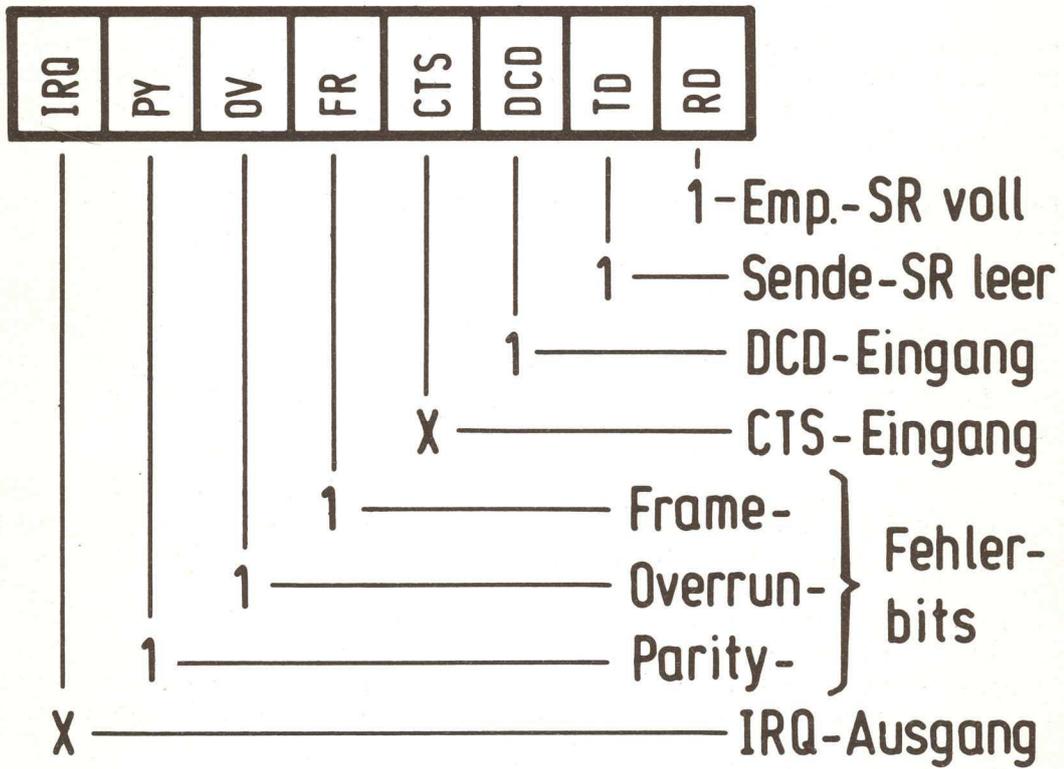
In den beiden folgenden Bits DCD (Data Carrier Detect) und CTS (Clear To Send) steht der Pegel der gleich bezeichneten Eingänge; man hat damit die Möglichkeit, diese Signale per Programm abzufragen (beide aktiv LOW).

Beim Empfangen führt der 6850 automatisch eine Fehlerprüfung durch und meldet folgende Fehlfunktionen durch HIGH-Pegel in den korrespondierenden Bits des Statuswortes: Unvollständiges Zeichen (Framing Error FR), d.h. es fehlt beispielsweise das Stoppbit; Überlauf (Receiver Overrun OV), d.h. ein empfangenes Zeichen ist nicht abgerufen worden und das nächste läuft bereits ein; Paritätsfehler (Parity Error PY), d.h. bei der empfangsseitigen Paritätsprüfung tritt ein vom Senden abweichendes Ergebnis auf, was auf einen Übertragungsfehler zurückzuführen ist.

Das höchstwertige Bit IRQ (Interrupt Request) hat wiederum denselben Pegel wie der entsprechende Interrupt-Ausgang (aktiv LOW).

Bild 4.3: Aufbau des Statuswortes im Status-Register.

### Statuswort



---

## 4.4 Bedeutung der Ein- und Ausgangssignale

---

Da einige Signale und Anschlußleitungen am 6850 recht komplexe Funktionen übernehmen, ist hier noch einmal die Bedeutung der einzelnen Pins erläutert (vgl. auch Blockschaltung des ICs in Bild 4.1 auf Seite 27 sowie die Detailbeschaltung in Bild 6.3 auf Seite 45).

### Datenleitungen D0...D7

Anschluß an den System-Datenbus und bidirektionale Übertragung der auszusenden bzw. empfangenen Daten sowie Überschreiben des Steuerwortes bzw. Lesen des Statuswortes; Ziel bzw. Quelle in der CPU ist jeweils der Akkumulator.

### Schreib/Leseleitung R/W (Read/Write)

Hierüber gibt die CPU die Übertragungsrichtung des Datentransfers an: Bei aktiviertem Chip (vgl. Freigabe-Eingänge) und LOW an R/W wird in den Baustein geschrieben (ins Steuer-Register bzw. ins Sende-Schieberegister), und wenn R/W bei der Chip-Aktivierung auf HIGH liegt, liest die CPU Daten aus dem Baustein (aus dem Status-Register bzw. dem Empfangs-Schieberegister). Welches Ziel- bzw. Quellregister dabei angesprochen wird, bestimmt der RS-Eingang (Register Select), der mit einem Adreßbit des Systems verbunden ist; bei RS=0 werden das Steuer- bzw. das Status-Register angewählt, bei RS=1 sind Sende- bzw. Empfangs-Schieberegister angesprochen.

### Register-Anwahl RS (Register Select)

Bestimmt bei aktiviertem Chip das Quell- bzw. Zielregister der Datenübertragung: Bei RS=0 wird das Steuer-Register angesprochen, wenn gleichzeitig R/W=0 ist; im Falle RS=1 und R/W=0 landen die Daten im Sende-Schieberegister. Bei RS=0 und R/W=1 wird das Status-Register ausgelesen, und bei RS=1 und R/W=1 gelangen die im Empfangs-Schieberegister stehenden Daten in die CPU.

### Freigabe-Leitungen CS0, CS1, CS2 und E (Chip Select und Enable)

Der Baustein wird nur dann angesprochen, wenn die Anschlüsse CS0, CS1 und E auf HIGH und CS2 auf LOW liegen; diese Signale können, sofern sie nicht fest verdrahtet werden, in die Adreß-Decodierung einbezogen werden.

### Sende-Daten TxD (Transmit Data)

Serielle Ausgangsleitung, an der nacheinander die einzelnen Datenbits übergeben werden, beginnend mit dem niedrigstwertigen und eingerahmt von Start- und Stoppbits.

### Sende-Takt TxC (Transmit Clock)

Bestimmt die Geschwindigkeit, mit der die serielle Datenausgabe erfolgt; das Weiterschieben aus dem Sende-Schieberegister wird von der negativen Taktflanke veranlaßt. Im 1:1-Takt-Mode ist eine maximale Taktfrequenz von 500 kHz zulässig, in den 16:1- und 64:1-Betriebsarten sind es maximal 800 kHz; nach unten ist der Minimalwert für TxC nicht begrenzt. Sende- und Empfangs-Takt brauchen selbstverständlich nicht gleich groß zu sein.

### **Empfangs-Daten RxD (Receive Data)**

Serielle Eingangsleitung, an der nacheinander die einzelnen Datenbits eingelesen werden.

### **Empfangs-Takt RxC (Receive Clock)**

Bestimmt die Geschwindigkeit, mit der die serielle Dateneingabe erfolgt; das Weiterschreiben ins interne Empfangs-Schieberegister wird von der positiven Taktflanke veranlaßt. Im 1:1-Taktbetrieb müssen Daten und Takt extern synchronisiert werden. Für die Grenzen der Taktfrequenz gelten die beim Sende-Takt genannten Werte. Empfangs- und Sende-Takt brauchen selbstverständlich nicht gleich groß zu sein.

### **Sende-Bereitmeldung CTS (Clear To Send)**

Eingangsleitung (aktiv LOW), die an eine externe Sendestelle angeschlossen wird und den automatischen Datentransfer zuläßt, ohne jeweils das TD-Bit im Statuswort abzufragen (Sende-Schieberegister leer).

### **Sende-Anforderung RTS (Request To Send)**

Ausgang (aktiv LOW), dessen Verhalten vom Zustand der TC-Bits im Steuerwort bestimmt wird (vgl. Abschnitt 4.2 auf Seite 28); kann auch dazu benutzt werden, das Signal DTR (Data Terminal Ready) zu generieren.

### **Übertragungskanal bereit DCD (Data Carrier Detect)**

Eingangsleitung (aktiv LOW), die das Vorhandensein der Übertragungsstrecke signalisiert; bei einer positiven Flanke an diesem Eingang (d.h. Störung der Strecke) wird ein Interrupt ausgelöst, sofern dies im höchstwertigen Bit des Steuerwortes programmiert worden ist. Hierfür ist es erforderlich, daß an RxC ein Taktsignal anliegt.

### **Interrupt-Anforderung IRQ (Interrupt Request)**

Offener-Kollektor-Ausgang (aktiv LOW), der vom höchstwertigen Bit im Steuer-Register freigegeben bzw. gesperrt wird. Die Aktivierung erfolgt (soweit entsprechend programmiert) unter folgenden Bedingungen: Sende-Schieberegister leer, Empfangs-Schieberegister voll, Fehlererkennung (Bitverlust FR, Überlauf OV, Paritätsfehler PY; vgl. Abschnitt 4.3 auf Seite 30) oder Verlust der Übertragungsstrecke.

---

## 4.5 Aufbau des seriellen Telegramms

---

Die Parallel/Serien-Umsetzung beim Senden bzw. die Serien/Parallel-Umsetzung beim Empfangen führt der 6850 automatisch durch; die CPU muß lediglich ein zu übertragendes Datenwort ins Sende-Schieberegister laden bzw. ein eingegangenes Datenwort aus dem Empfangs-Schieberegister abrufen.

Beim Senden werden entsprechend den Vorgaben im Steuerwort ein Startbit (immer LOW) und ein oder zwei Stoppbits (immer HIGH) hinzugefügt, um der empfangenden Stelle die Synchronisation zu ermöglichen.

Je nach gewähltem Format setzt sich das Telegramm für ein Wort aus 9...11 Bits zusammen: Bei sieben Datenbits plus Start- und Stoppbit kommt man auf neun Bits, bei einer Wortlänge von acht Datenbits, einem Start- und zwei Stoppbits sind insgesamt elf Bits zu übertragen (Bild 4.4).

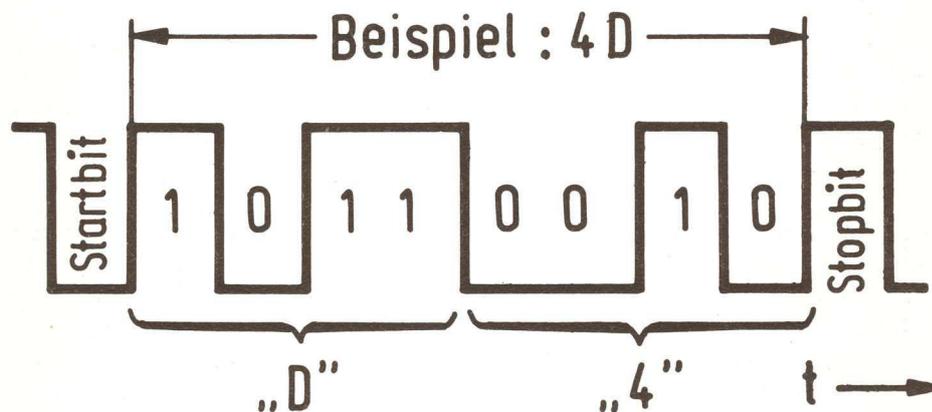
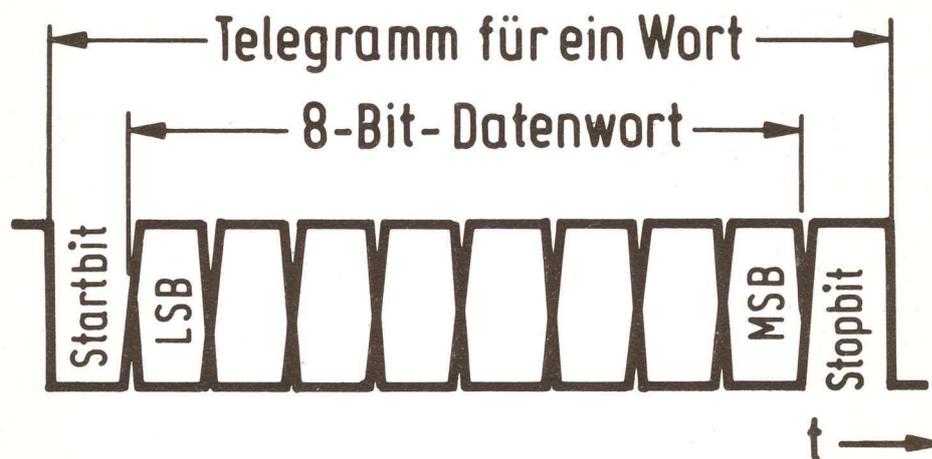
Vereinbarungsgemäß beginnt die Aussendung mit dem niedrigstwertigen Bit, nachdem das Startbit ausgegeben worden ist.

Die empfangende Stelle wartet zur Synchronisation die negative Flanke am Daten-Eingang ab (Beginn des Startbits) und tastet danach im zeitlichen Mittelpunkt der Datenbits den anliegenden Pegel ab. Nach dem Einlesen des letzten Datenbits kommt das Stoppbit (bzw. zwei Stoppbits), in dessen Verlauf der Empfänger in einer Warteschleife verharrt, bis er die nächste negative Flanke detektiert (Beginn des folgenden Startbits).

Die Möglichkeit, zwei Stoppbits vorzusehen, wurde für extrem langsame Peripheriegeräte geschaffen; wo diese Anforderung nicht besteht, kommt man selbstverständlich mit einem Stoppbit aus (wie auch im Bild 4.4 gezeichnet). Die definierte Einrahmung von Start- und Stoppbit muß allein schon deshalb erfolgen, damit auch bei längeren Übertragungen die Synchronisation nie verlorengeht, da sie bei dem gewählten Verfahren nach jedem Wort neu hergestellt wird.

Man kann ein derartiges Telegramm übrigens sehr anschaulich auf dem Oszilloskop darstellen, indem man über eine längere Zeit konstant ein beliebiges Zeichen ausgibt und den TXD-Ausgang darstellt (Triggerung mit der negativen Flanke). Bei stufenloser Variation der x-Dehnung ergibt sich ein stehendes Bild, auf dem die einzelnen Daten- und Rahmenbits sehr instruktiv erkennbar sind.

Bild 4.4: Aufbau des Telegramms bei der seriellen Übertragung.



---

## 5 Magnetband-Aufzeichnung

---

Um die im Laufe der Zeit entstehenden Programme und Dateien jederzeit abrufbereit zur Verfügung zu haben, legt man sie zweckmäßigerweise in externen Massenspeichern ab. Besonders geeignet hierfür sind handelsübliche Magnetbandgeräte, die die Informationen in serieller Form aufzeichnen und wiedergeben, und die den Vorteil extremer Preiswürdigkeit haben. Für die Aufzeichnung digitaler Daten auf Band haben sich verschiedene Verfahren herausgebildet, die sich z.T. gravierend voneinander unterscheiden und auch nicht für sämtliche Bandgeräte tauglich sind. Zur Aufbereitung der Daten für die Aufzeichnung bzw. bei der Wiedergabe ist eine spezielle Anpaßschaltung erforderlich, das sogenannte Magnetband- oder Cassetten-Interface.

Es gibt Schaltungen, die die beiden Logikpegel 0 und 1 derart unterscheiden, daß sie pro HIGH-Bit einen kurzen Tonfrequenzimpuls erzeugen und pro LOW-Bit eine Lücke lassen. Dies ist für eine Detektionsschaltung bei der Wiedergabe zwar sehr einfach wieder zu entschlüsseln, hat bei Bandgeräten mit Aufnahme-Automatik aber den Nachteil, daß der Regelmechanismus aussetzt: Durch die harte Tastung kann sich die Automatik nicht auf einen konstanten Pegel einstellen, so daß es bei bestimmten Bitmustern zu Fehlinterpretationen kommt.

Bei der Frequenzumtastung erzeugt das Magnetband-Interface für beide Logikpegel zwei unterschiedliche Frequenzen. Wesentliche Einschränkung hierbei ist die Notwendigkeit, mindestens einige komplette Schwingungen aufzuzeichnen, was wegen der begrenzten Bandbreite ziemlich viel Zeit in Anspruch nimmt und das Verfahren sehr langsam macht.

Das hier vorgestellte Prinzip der Phasen-Codierung (Phase Encoding) vermeidet die genannten Nachteile; es erzeugt pro Bit, egal ob HIGH oder LOW, immer nur einen Pegelwechsel, aus dem bei der Wiedergabe die Auswerteschaltung den ursprünglichen Pegel ableiten kann.

---

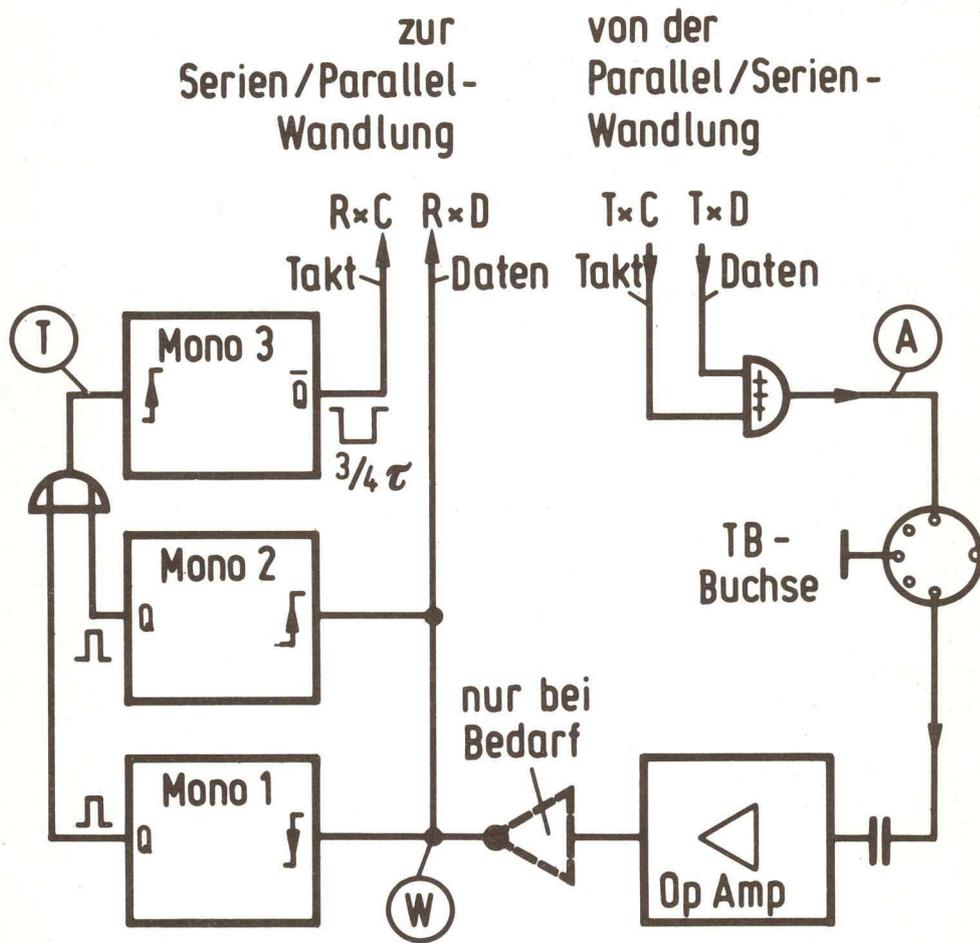
### 5.1 Blockschaltung des Cassetten-Interfaces

---

Der für die Phasen-Codierung erforderliche Hardware-Aufwand ist äußerst gering (Bild 5.1). Aufnahmeseitig müssen die Daten in serieller Form angeboten werden, was zweckmäßigerweise ein Parallel/Serien-Wandler übernimmt (vgl. Abschnitt 4.5), der auch gleich je ein Start- und Stoppbit ergänzt. Die Codierung besteht jetzt einfach darin, daß serielle Daten und Schiebetakt auf ein Exklusiv-ODER-Gatter gegeben werden und jedes HIGH-Datenbit den Takt um 180 Grad phasendreht; bei einem LOW-Datenbit passiert der Takt das EXOR-Gatter ungedreht (Punkt A; vgl. auch Bild 5.2 auf der folgenden Doppelseite).

Nach der erforderlichen Verstärkung des vom Band kommenden Signals W erzeugen zwei monostabile Kippstufen Mono 1 und 2 bei jedem Pegelwechsel einen kurzen Nadelimpuls (Mono 1 bei den negativen und Mono 2 bei den positiven Flanken), die beide ODER-verknüpft werden (Punkt T) und ein drittes Monoflop triggern. Der Ausgangsimpuls dieser dritten Kippstufe ist genau 75% einer Taktperiode lang, und am Ende dieses Impulses erfolgt das Abtasten und Einlesen des vom Band kommenden (und invertierten) Pegels.

Bild 5.1: Blockschaltung für das Magnetband-Interface.



---

## 5.2 Zeitabläufe bei Aufnahme und Wiedergabe

---

Zum Verständnis des Aufnahme- und Decodier-Prinzips sind die Blockschaltung des Cassetten-Interfaces (Abschnitt 5.1 auf Seite 36) und die Arbeitsweise eines asynchronen Interface-Bausteins (Abschnitt 4.1 auf Seite 26) Voraussetzung.

In Bild 5.2 sind die Zeitabläufe an verschiedenen Punkten der Schaltung gegenübergestellt; um den notwendigen "Einrastvorgang" beim Einlesen zu verdeutlichen, ist die Übertragung von zwei Bytes gezeichnet, von denen das erste den Inhalt "FF" hat und nur zur Synchronisation dient.

Die beiden obersten Zeilen zeigen den am Parallel/Serien-Wandler anliegenden Schiebetakt  $TxC$  und die seriell gelieferten Daten  $TxD$ , die Exklusiv-ODER-verknüpft werden (Signal "A" in der dritten Zeile). Wie Sie sehen, tritt pro Bit genau eine Pegeländerung auf, auch wenn mehrmals hintereinander derselbe Pegel auszugeben ist. Der Informationsgehalt besteht darin, welche Beziehung dieses Signal zum Schiebetakt hat.

Bei der Wiedergabe muß das vom Band gelieferte Signal zunächst verstärkt, auf TTL-Pegel umgesetzt und invertiert werden; diese Phasendrehung des gesamten Signals ist für die Auswertung erforderlich (Signalverlauf "W"). Jeder Flankenwechsel löst einen kurzen Nadelimpuls aus, der als Triggersignal T für die dritte astabile Kippstufe dient (vgl. Blockschaltung im Abschnitt 5.1 auf der vorigen Doppelseite). Das (negative) Ausgangssignal von Monoflop 3 ist genau 75% einer Taktperiode lang, d.h. es beträgt also  $3/4$  einer Bitdauer.

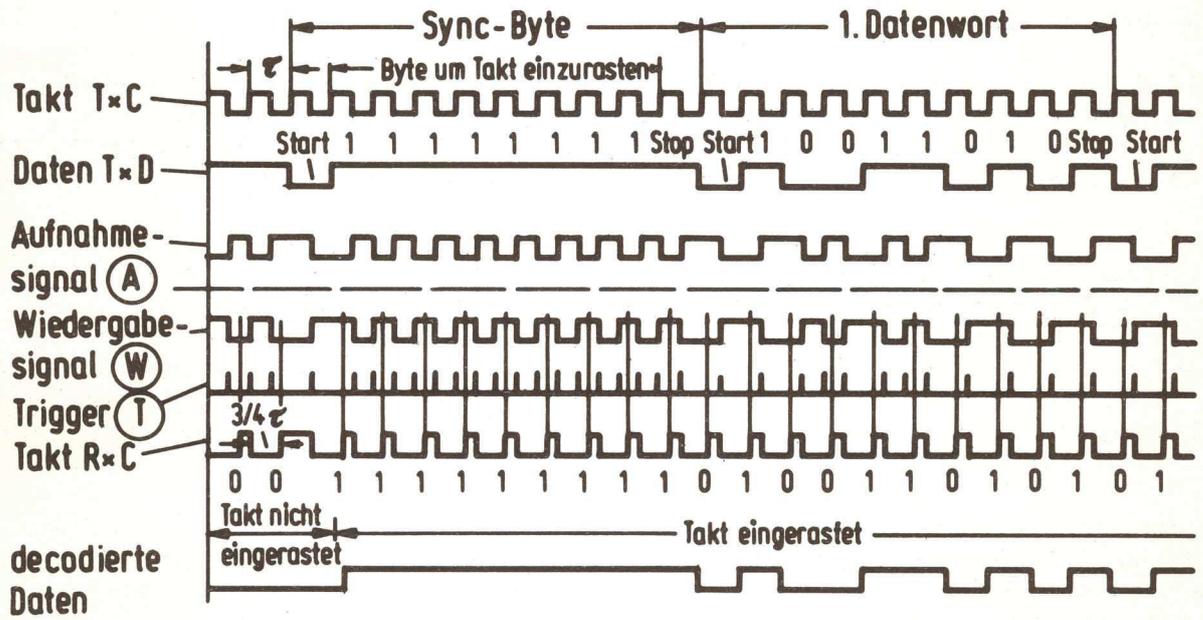
Da Mono 3 nicht retriggerbar ist, löst nur jeder zweite T-Impuls an seinem Eingang einen 75%-Impuls aus, an dessen Ende (mit der positiven Flanke) die Abtastung des Wiedergabepegels W erfolgt (Takt  $RxC$ ). Damit dies in Übereinstimmung mit den bei der Aufnahme herrschenden Verhältnissen passiert, muß man zum "Einrasten" mindestens einen Pegelwechsel abwarten; deshalb sendet man zum Zweck der Synchronisation vor den eigentlichen Daten ein "blindes" Byte aus.

Dieses Verfahren arbeitet extrem störsicher, weil es pro Informationsbit nur einen Pegelwechsel und keine absolute Tonfrequenz detektieren muß. Bezüglich der möglichen Aufzeichnungsgeschwindigkeit ist der Maximalwert durch die obere Grenzfrequenz des Bandgerätes gegeben. Versuche haben gezeigt, daß selbst einfache Diktiergeräte fehlerlos funktionieren und Übertragungsraten bis etwa 4800 Baud zulassen; als guter Kompromiß hat sich in der Praxis ein Wert von 1200 Baud herausgestellt. Nur Hinsichtlich der Bandsortenwahl sollte man auf gute Qualität achten, um Drop-Outs von vornherein zu vermeiden.

Die beiden kritischen Stellen dieses Verfahrens sind leicht zu erkennen: Erstens muß die Zeitkonstante von Mono 3 möglichst genau eingestellt werden, was durch Probieren nur unvollkommen gelingt (Zähler oder Oszilloskop erforderlich).

Und zweitens muß die Auswerteschaltung dafür sorgen, daß der Wiedergabepegel W nach der Verstärkung und Digitalisierung einen zum Aufnahmepegel A inversen Verlauf hat; da das Bandgerät mit in diesen Zweig einbezogen ist und selbst eine Phasendrehung bewirken kann (durch eine ungerade Anzahl von Verstärkerstufen), muß je nach herrschenden Verhältnissen ein Inverter hinzugeschaltet werden oder nicht. In der Praxis ist dies durch einmaliges Probieren zu klären.

Bild 5.2: Zeitabläufe bei der Phasen-Codierung.



---

## 6 Serielle Ein/Ausgabe

---

Das Serielle Interface 87050 ist auf einer Europakarte mit 64poliger VG-Leiste untergebracht. Die Karte ist 4 TE breit (20 mm) und kann direkt am ECB-Bus betrieben werden (z.B. am MOPPEL; vgl. Anhang D). Die Baugruppe läßt sich funktionell selbstverständlich auch in allen anderen Mikrocomputern einsetzen, wenn die benötigten Signale entsprechend angeschlossen werden.

---

### 6.1 Blockschaltung der Karte 87050

---

Auf der Karte sind verschiedene serielle Schnittstellen vorhanden, um die unterschiedlichen Peripheriegeräte ansteuern zu können (Bild 6.1). Dazu gehören eine V.24-Schnittstelle, ein 20-mA-Stromtreiber, ein separater Drucker-Anschluß sowie ein Magnetband-Interface, das nach dem Prinzip der Phasen-Codierung arbeitet.

Ergänzt wird die Baugruppe durch drei programmierbare 16-Bit-Zähler/-Zeitgeber, zwei Relais für potentialfreies Schalten und einen akustischen Signalgeber ("Bell").

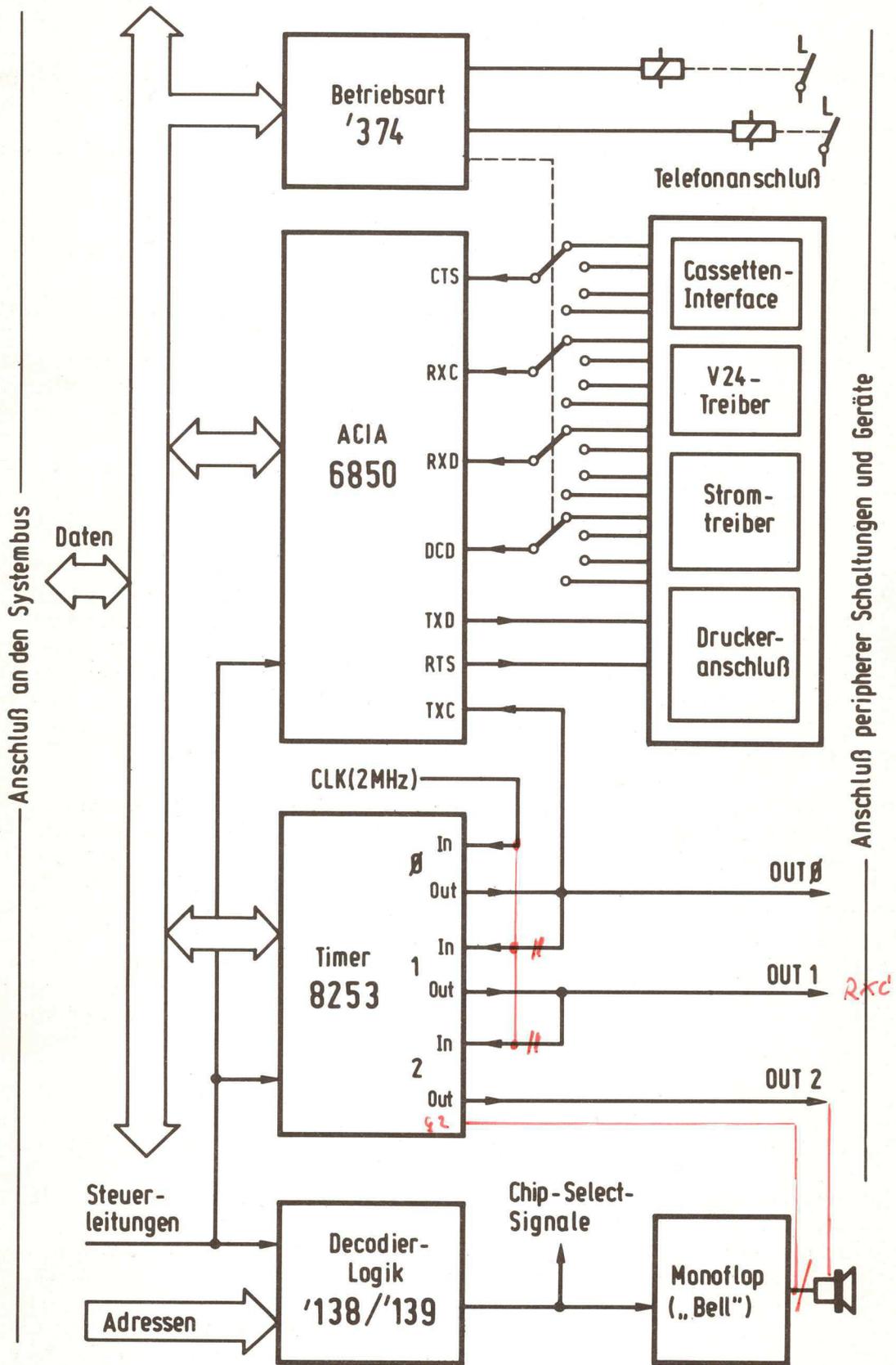
Zentraler Baustein dieser Einheit ist das asynchrone Interface-IC 6850, das den seriellen Datenverkehr weitgehend selbständig abwickelt (vgl. Abschnitt 4). Seine Ein- und Ausgänge sind über Multiplexer auf verschiedene Interfaces umschaltbar, um die Anpassung an die jeweilige Norm vorzunehmen. Sämtliche V.24-Daten- und Steuerleitungen stehen an einer 25poligen D-Sub-Steckbuchse an der Platinen-Frontleiste zur Verfügung. Der Anschluß des Druckers und des Magnetbandgerätes erfolgen busseitig über separate Buchsen.

Der Takt für den 6850 stammt vom Zähler 0 im Timer-IC 8253 (vgl. Abschnitt 3). Je nach Bedarf wird dieser Zähler unterschiedlich geladen, um die benötigten Frequenzen zu erzeugen (die sich je nach Peripheriegerät unterscheiden). Auf der Karte sind die drei 8253-internen Zähler hardwaremäßig hintereinander geschaltet, so daß damit eine 48 Bit lange Zählerkette ergibt; programmiert man diese auf den maximal möglichen Teilerfaktor, so tritt am Ausgang des letzten Zählers nur alle 4 Jahre (!) ein Impuls auf, auch wenn eingangsseitig eine Frequenz von 2 MHz eingespeist wird (Verhältnis von zwei Millionen Schwingungen pro Sekunde zu einem Ereignis alle vier Jahre!).

Um bestimmte Steuerfunktionen auf der Karte zu übernehmen, ist ein 8-Bit-Speicher 74(LS)374 vorgesehen, von dem zwei freie Ausgänge an Miniatur-Relais führen, um potentialfreie Schaltvorgänge zu übernehmen.

Die Adreßdecodierung auf der Karte wurde so gewählt, wie es die Tabelle im Anhang D wiedergibt; dieser Verteilung liegt in erster Linie das Ziel zugrunde, mit möglichst geringem Hardware-Aufwand auszukommen und bei bestimmten Portadressen sinnfällige Zuordnungen zu schaffen (z.B. Portadressen A8, B8, C8 für die Parallel-Ports A, B und C). Diese Decodierlogik besitzt einen separaten Ausgang zum Aktivieren eines akustischen Signalgebers (Schnarre, auch "Bell" genannt). Außerdem selektiert sie die für den parallelen Interface-Baustein reservierten Portadressen A8, B8, C8 und D8, um diese über LEDs anzeigen zu können.

Bild 6.1: Blockschaltung des Seriellen Interfaces 87050.



---

## 6.2 Decodierlogik

---

Auf der Karte existieren fünf verschiedene, einzeln ansprechbare Ziele, für die im freien Adreßraum Portadressen festgelegt werden müssen (vgl. Übersicht über die Port-Adreßverteilung im Anhang D):

1. Asynchroner Interface-Baustein 6850
2. Zähler/Zeitgeber 8253
3. Betriebsarten-Register 74(LS)374
4. Akustischer Signalgeber ("Bell")
5. Anzeige der Parallel-Port-Adressen für den 8255

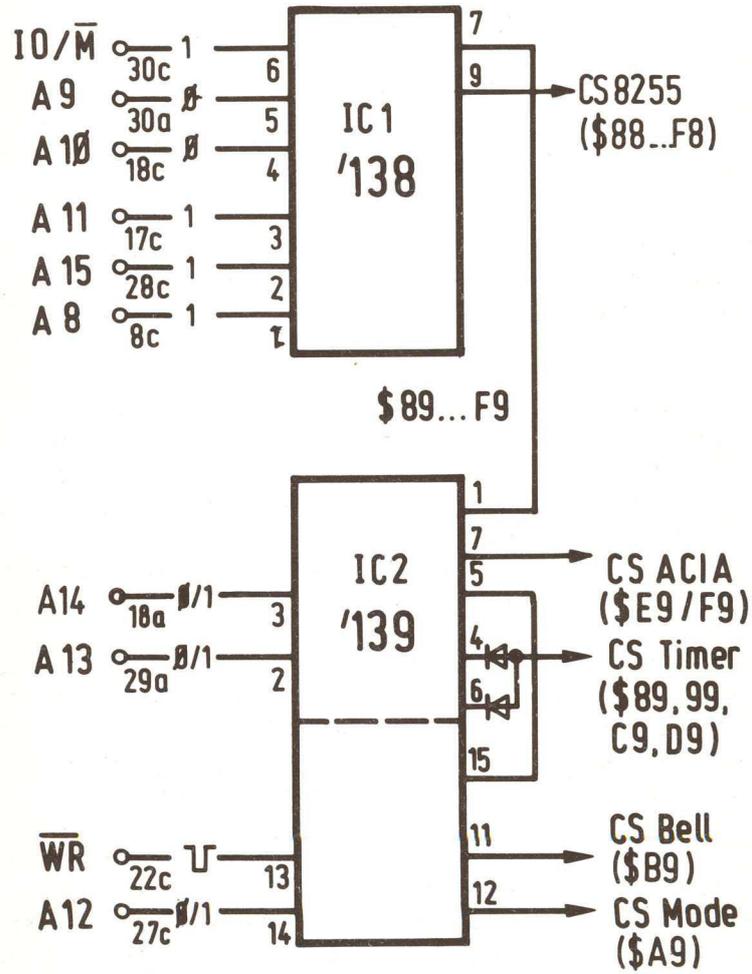
Innerhalb dieser Zieladressen sind weitere Adreßunterscheidungen vorzunehmen, etwa beim 6850 (Steuer/Status-Register bzw. Sende/Empfangs-Register) oder beim Timer, wo intern vier eigene Ziele zu unterscheiden sind.

Mit dem im Bild 6.2 gezeigten Schema genügen zwei ICs, um die Vorselektierung der Adressen durchzuführen; zusätzlich gehen einzelne Adreßbits noch an die Bausteine selbst, um die Feinunterscheidung zu übernehmen. Da 6850, 8253 und 8255 über eigene Anschlüsse für RD und WR verfügen, ist die Einbeziehung dieser Steuersignale in die Adreßdecodierung nicht erforderlich; nur die beiden Select-Signale für Schnarre und Port-Adreß-Anzeige sind mit WR verknüpft.

Da sämtliche Adressen aus dem I/O-Adreßraum stammen, muß die Leitung IO/M auf HIGH abgefragt werden (Pin 6 an IC1). Für die übrige Decodierung genügt der Anschluß von sieben Adreßbits, wobei im Falle des Timers zwei Demuxer-Ausgänge ODER-verknüpft sind (über die Germanium-Dioden), um insgesamt vier Portadressen zu erfassen.

Die Adressen, bei denen die jeweiligen Ausgänge (alle aktiv LOW) angesprochen werden, sind im Bild 6.2 eingetragen. Bei der Inbetriebnahme der Karte ist zunächst sicherzustellen, daß diese Basisfunktion gegeben ist, um die Ziele auf der Karte eindeutig ansprechen zu können (vgl. Abschnitt 7.1 auf Seite 58).

Bild 6.2: Decodierlogik für die Ziele auf dem Seriellen Interface.



### 6.3 Beschaltung des 6850

Der Interface-Baustein wird aktiviert, wenn folgende Bedingungen erfüllt sind: CS0=HIGH (A14; Teil der Adreßdecodierung); CS2=LOW (Selektierungslogik, vgl. vorigen Abschnitt 6.2); En=HIGH (ist bei RD=0 oder WR=0 der Fall, also bei gültiger Adresse). CS1 ist fest auf HIGH verdrahtet, und die interne Register-Unterscheidung nimmt Adreßbit A12 vor, das damit ebenfalls Teil der gesamten Adreßdecodierung ist.

Da die Ein- und Ausgangssignale für die serielle Schnittstelle im TTL-Pegel vorliegen, müssen zum Treiben bzw. Empfangen der +/-12-V-Pegel zusätzliche Treiber-ICs dazwischengeschaltet werden (75188 bzw. 75189 in IC8 bzw. IC9). Die beiden dazwischen liegenden Vier-zu-Eins-Multiplexer schalten immer nur eine der externen Stellen zum 6850 durch: Die Stromtreiber-Schnittstelle mit der 20-mA-Konstantstromquelle (BC208 rechts unten), die V.24-Treiber an der 25poligen D-Sub-Leiste (Anschlußnummern in Kästchen), die separate Drucker-Schnittstelle (PRTOT/PRTIN rechts oben) oder das Cassetten-Interface (vgl. Abschnitt 6.7 auf Seite 52).

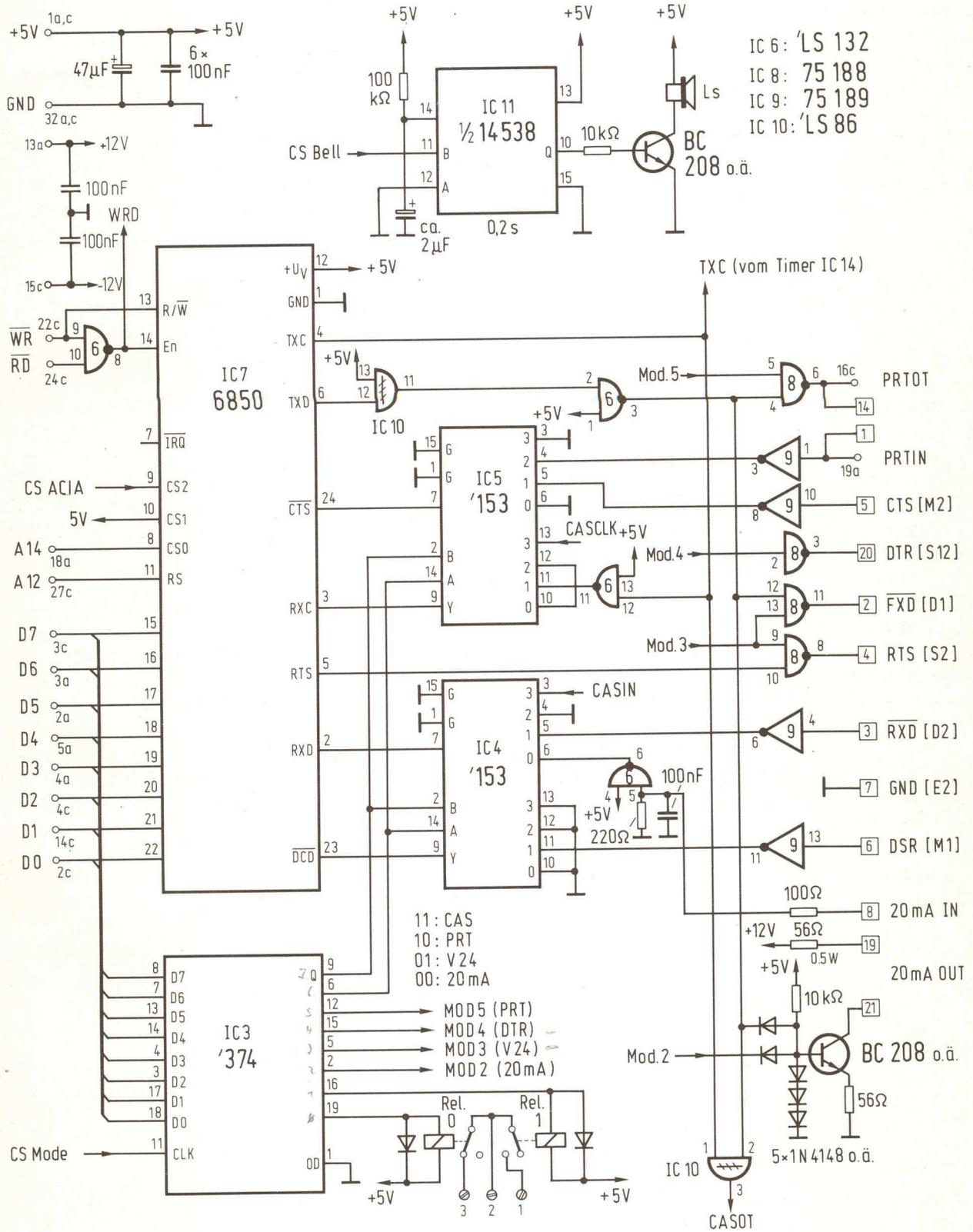
Die Stellung dieser Multiplexer wird von zwei Bits des Betriebsarten-Registers im 74(LS)374 (IC3) vorgegeben.

Der Sendetakt für den 6850 stammt vom Ausgang des Zählers 0 im Timer-IC (vgl. Abschnitt 6.6 auf Seite 60); er wird von der 2-MHz-System-Taktfrequenz durch Herunterteilen abgeleitet und kann durch Vorgabe entsprechender Teilerfaktoren in weiten Grenzen variieren.

Drucker- und Stromtreiber-Schnittstelle besitzen übrigens je ein eigenes Freigabe-Bit, das wiederum vom Betriebsarten-Register IC3 stammt: Nur bei HIGH an "MOD5" (und entsprechender Stellung der Multiplexer) wird die Drucker-Schnittstelle angesprochen, und die Stromquelle wird entsprechend nur dann aktiviert, wenn das Bit "MOD2" auf HIGH liegt.

Das Exklusiv-ODER-Gatter rechts unten übernimmt die Codierung für das Cassetten-Interface (vgl. Abschnitt 5.1 auf Seite 36); das am TxD-Ausgang des 6850 angeschlossene Gatter dient nur als invertierende Pufferstufe, um keinen Ausgang des ACIA mit mehr als einem LS-TTL-Eingang zu belasten.

Bild 6.3: Externe Beschaltung des ACIA 6850.



- IC 6: 'LS 132
- IC 8: 75 188
- IC 9: 75 189
- IC 10: 'LS 86

## 6.4 Aufbau des Mode-Registers

Zur Verwaltung der komplexen Steuer- und Umschaltfunktionen auf der Platine ist ein eigenes Register vorhanden, das bestimmte Betriebsbedingungen (Modes) festlegt (IC3 in Bild 6.4).

Es handelt sich hierbei um einen 8-Bit-Speicher zur Aufnahme eines Bytes, das die von der CPU gelieferten Steuerinformationen aufnimmt. Dazu ist das IC eingangsseitig an den System-Datenbus angeschlossen, von wo es die Informationen in dem Augenblick übernimmt, wo das Aktivierungssignal "CS Mode" auftritt. Mit der gewählten Schaltung der Adreßdecodierung ist dies bei (der positiven Flanke) der Portadresse "A9" der Fall (nur zusammen mit dem OUT-A9-Befehl, da WR mit in die Decodierung eingeht!).

Die hierhin zu ladenden Steuerinformationen dürfen keine unzulässigen Zustände hervorrufen, indem beispielsweise die Multiplexer die Konstantstromquelle anwählen, während die MOD-Bits die Drucker-Schnittstelle freigeben. Eine vollautomatische Umschaltung hätte einen erhöhten Hardware-Aufwand bedeutet, der auf der Karte nicht mehr unterzubringen war.

Das Laden dieser Steuerinformationen hat nichts mit den Steuerdaten zu tun, die in die Control-Register der hochintegrierten Bausteine zu überschreiben sind, ehe die ihren Betrieb aufnehmen können; das Betriebsarten-Register stellt gewissermaßen hardwaremäßig die Weichen auf der Platine, während die Control-Register das Baustein-interne Verhalten festlegen.

In keinerlei Zusammenhang zu den übrigen Bits des Betriebsarten-Registers stehen die Relais-Steuerbits 0 und 1; Relais 0 betreibt bei Aktivierung einen Öffner, während Relais 1 einen Schließer ansteuert.

Zur Freigabe der Stromtreiber-Schnittstelle müssen die beiden obersten Bits auf "00" und Bit 2 (MOD2) auf 1 liegen (HEX 04).

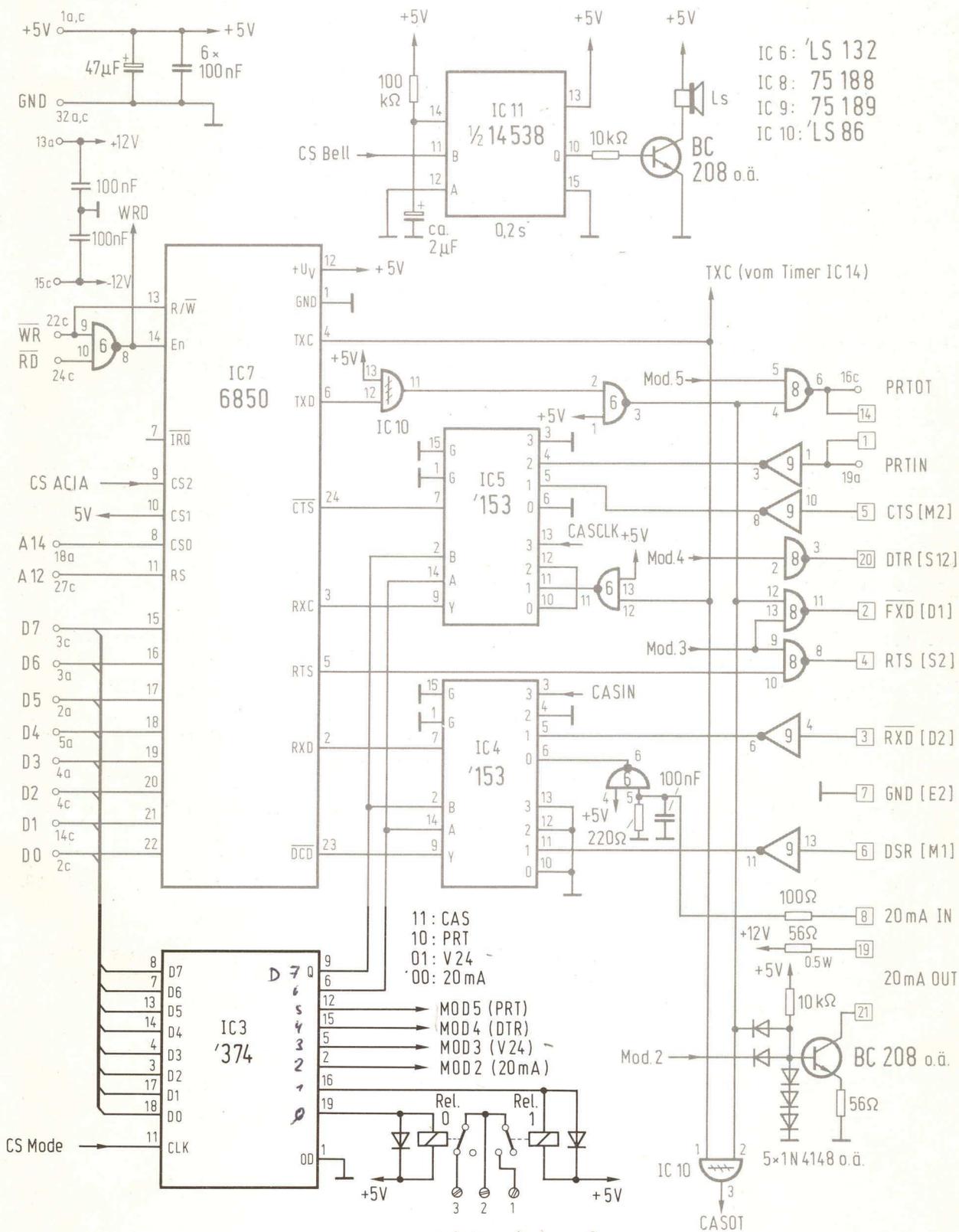
Die V.24-Schnittstelle wird mit "01" in den höchstwertigen Bits und HIGH-Pegel im Bit 3 (MOD3) freigegeben (HEX 48).

Die Ansteuerung der Drucker-Schnittstelle erfordert "10" in den obersten Bits und MOD5=1 (HEX E0).

Und um das V.24-Signal "DTR" (Data Terminal Ready) separat ausgeben zu können, ist Bit 4 (MOD4) im Betriebsarten-Register auf HIGH zu setzen (HEX 10); es steuert direkt den Ausgangstreiber in IC8 an.

Außerdem muß man durch entsprechende Programmierung des Timers dafür sorgen, daß der geeignete Sendetakt an TxC anliegt (vgl. Abschnitt 7.2 ab Seite 60).

**Bild 6.4: Aufbau und Beschaltung des Betriebsarten-Registers.**



- IC 6: 'LS 132
- IC 8: 75 188
- IC 9: 75 189
- IC 10: 'LS 86

11: CAS  
 10: PRT  
 01: V24  
 00: 20mA

7654 22 10  
 4B 0,100 10 11

V24 MOD 3

---

## 6.5 Akustischer Signalgeber ("Bell")

---

Um die Funktion eines akustischen Signalgebers im Computer nachzurüsten, wurde die entsprechende Treiberschaltung mit vorgeschaltetem Monoflop vorgesehen (Bild 6.5).

Die monostabile Kippstufe ist übrigens ein "Abfallprodukt" vom Cassettinterface, wo nur drei der vier Monoflops von IC11/12 benötigt werden (vgl. Abschnitt 6.7 auf Seite 52).

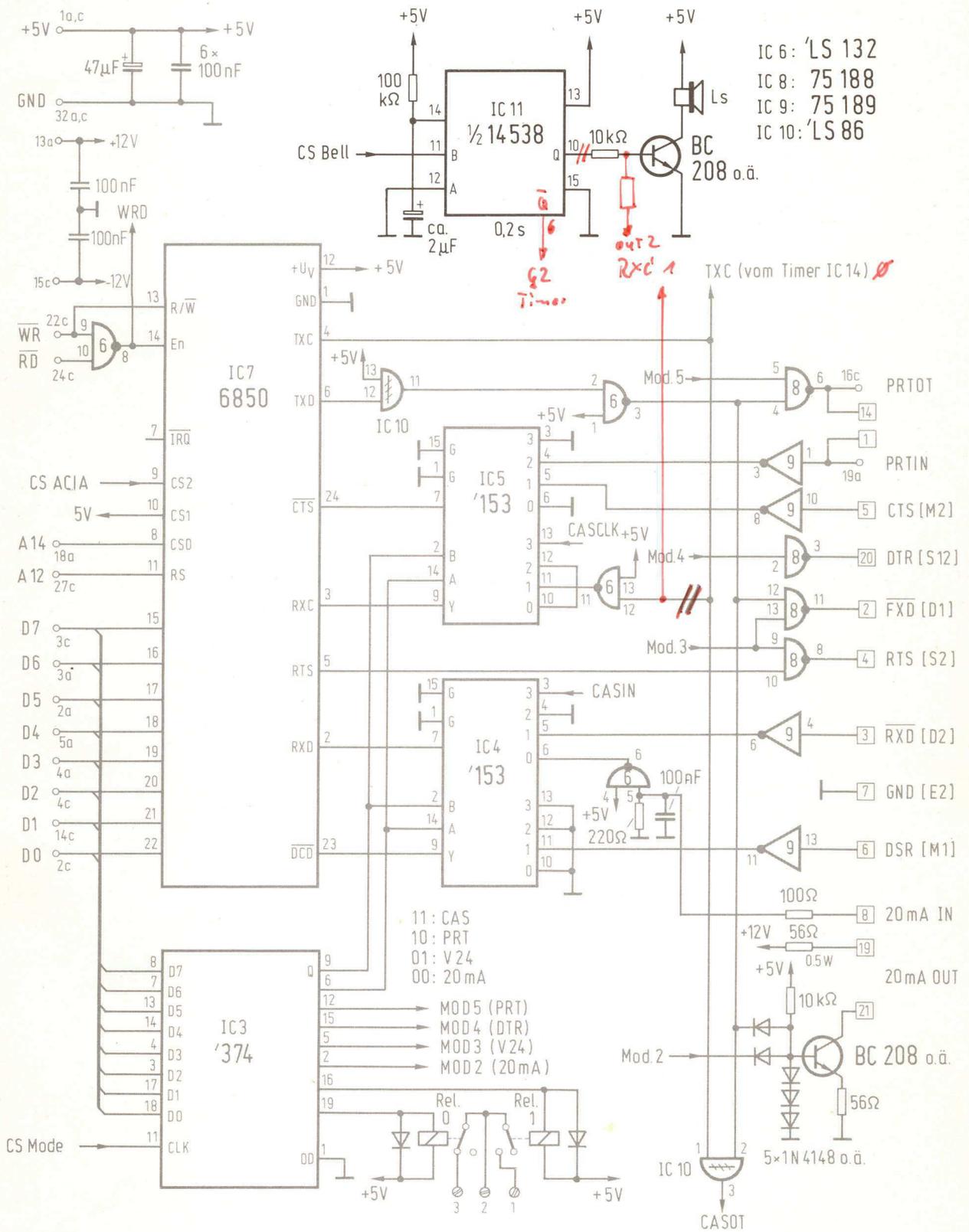
Die akustische Funktion wird vom ASCII-Steuerzeichen "07" (=Bell) ausgelöst und dient in bestimmten Fällen zur Rückmeldung, etwa bei beendeter, länger dauernder EPROM-Programmierung oder dem Einlesen eines längeren Programms vom Band.

Als Summer ist der Einsatz handelsüblicher Schnarren mit integrierter Transistorstufe vorgesehen. Bei Verwendung eines Lautsprechers ist eine Löschiode antiparallel zur Schwingspule zu schalten, um den Treibertransistor vor Induktionsspitzen zu schützen.

Die Zeitkonstante für die Mono-Aktivierung errechnet sich beim eingesetzten Typ 14538 übrigens aus dem Produkt von R und C am Anschluß 14 (das nicht mit 0,7 zu multiplizieren ist, wie bei einigen anderen Typen üblich). Mit den eingezeichneten Werten ergibt sich ein kurzzeitiges Ansprechen von ca. 0,2 s, was bei Bedarf ohne weiteres verlängert werden kann.

Im Rahmen der gewählten Adreßverteilung hat das Monoflop für die Schnarre die Portadresse B9. Diese Funktion kann nur zusammen mit dem QUI-B9-Befehl aktiviert werden, da in die Adreßdecodierung das WR-Signal mit eingeht.

Bild 6.5: Schaltung für den akustischen Signalgeber ("Bell").



---

## 6.6 Beschaltung des 8253

---

Eingangsseitig führt der Timer mit seinen Dateneingängen direkt an den System-Datenbus. Das Freigabe-Signal an CS ist mit einem Pull-up-Widerstand versehen, da es von einem Diodengatter stammt (vgl. Abschnitt 6.2 auf Seite 42).

Die beiden Steuersignale RD und WR geben dem Baustein die Übertragungsrichtung des Datentransfers an, und die beiden an A12 bzw. A14 angeschlossenen Selektierungseingänge unterscheiden die vier internen Ziele Zähler 0, 1, 2 bzw. das Control-Register.

Die drei 16-Bit-Rückwärtszähler im 8253 sind hintereinander geschaltet (kaskadiert), d.h. der Ausgang des einen führt an den Takteingang des folgenden Zählers. Der erste Zähler 0 wird mit dem 2-MHz-Systemtakt gespeist, und sein Freigabe-Eingang liegt fest auf HIGH. Der Ausgang OUT0 führt (wie auch OUT1 und OUT2) an die 25polige D-Sub-Leiste an der Frontseite der Platine. Über Brücke 2 ist dieser Ausgang mit dem Takteingang des asynchronen Interface-Bausteins 6850 zu verbinden, sofern kein anderer als der hier beschriebene Einsatz beabsichtigt ist.

Um auch von außen in die programmierten Zeit- bzw. Funktionsabläufe eingreifen zu können, sind die Freigabe-Eingänge GATE1 und GATE2 ebenfalls an die frontseitige Buchsenleiste geführt.

Bei Einsetzen der Brücke 3 mit Leuchtdiode und Vorwiderstand läßt sich optisch das Verhalten des Ausgangs OUT2 verfolgen, ohne Oszilloskop oder Logikprüfstift zu Hilfe nehmen zu müssen. Dies ist zu empfehlen, wenn Sie die unterschiedlichen Timer-Betriebsarten nachvollziehen wollen, die im Abschnitt 7.2 ausführlich beschrieben sind.

Die Brücken 5, 6 und 7 führen an die 8085-Interrupt-Eingänge RST5.5, RST6.5 bzw. RST7.5, um beispielsweise nach Ablauf einer eingestellten Verzögerungszeit eine automatische Programmunterbrechung auszulösen. Von diesen Brücken darf immer nur eine bestückt sein, was aber bei den hier beschriebenen Beispielen entfällt.

Für den Fall einer Interrupt-Verdrahtung läßt sich über eine zusätzlich eingebaute Taste Ta diese Unterbrechung auch manuell auslösen.



---

## 6.7 Schaltung des Cassetten-Interfaces

---

Der Hardware-Aufwand für die Magnetband-Aufzeichnung und -Wiedergabe ist denkbar gering (Bild 6.7). Allerdings ist dabei zu berücksichtigen, daß die Daten bei der Aufnahme bereits seriell ankommen und nach der Aufbereitung bei der Wiedergabe auch seriell weitergegeben werden können; die Parallel/Serien- bzw. Serien/Parallel-Umsetzung übernimmt der Interface-Baustein 6850, der seinerseits wiederum auf das Ausgangssignal des Timers angewiesen ist.

Das Aufnahmesignal CASOT stammt vom Ausgang des EXOR-Gatters, das die Phasen-Codierung übernimmt (vgl. Bild 6.3 auf Seite 45). Der Pegel wird durch den Spannungsteiler noch einmal heruntergesetzt, ehe er am Anschluß COT (Cassette Out) dem Bandgerät zugeführt wird.

Am korrespondierenden Anschluß CIN (Cassette In) kommt das Signal bei Wiedergabe an und wird im Operationsverstärker IC13 bis zur Übersteuerung verstärkt. Die Klammerdioden am Ausgang begrenzen den Pegel für die nachfolgende Schaltung auf Werte zwischen 0...+5 V. Der gestrichelt eingezeichnete 20-pF-Kondensator ist nur dann einzusetzen, wenn der Verstärker zum Schwingen neigt; im Normalfall ist dieses C entbehrlich.

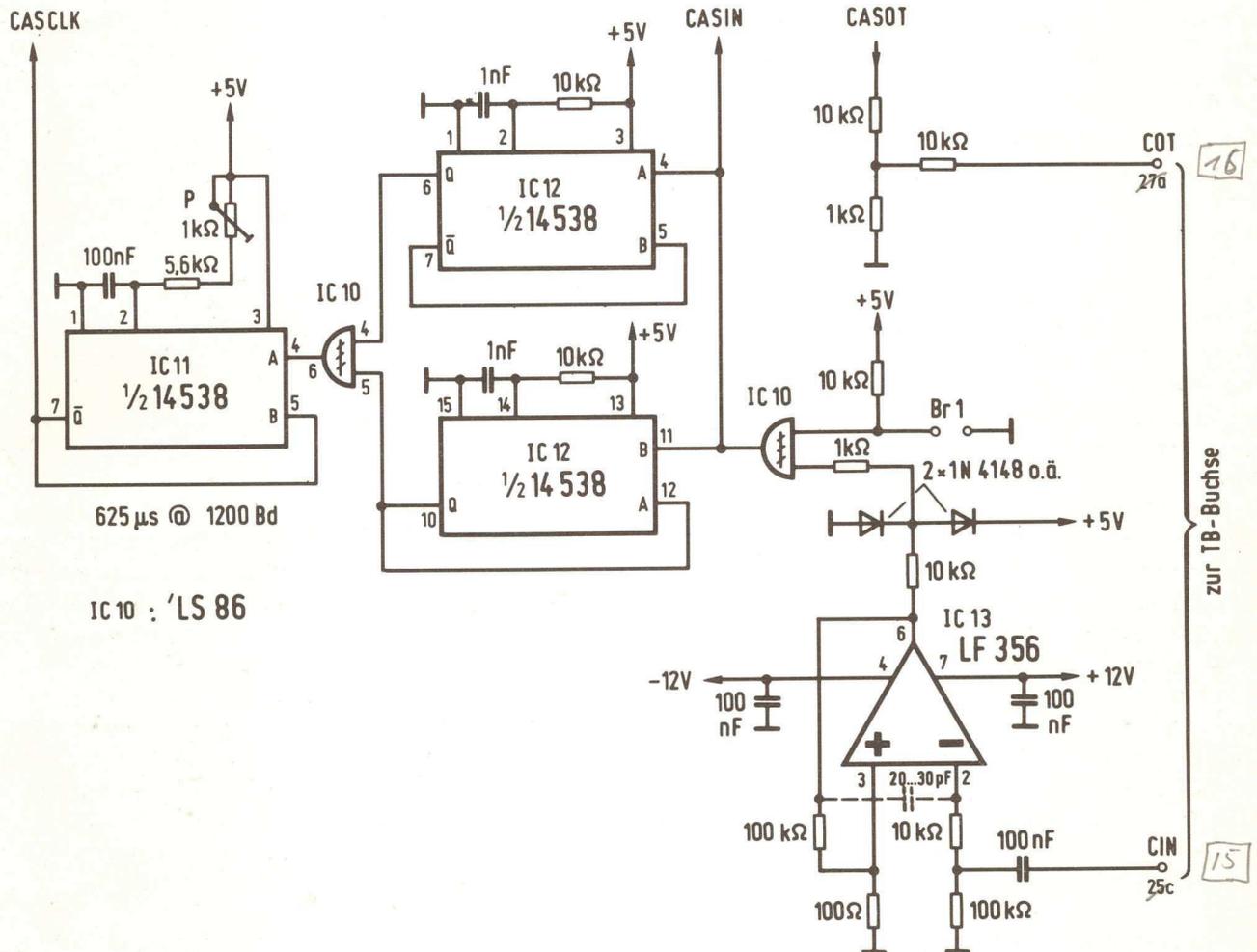
Das folgende EXOR-Gatter kann das vom OpAmp gelieferte Ausgangssignal invertieren (Brücke 1 offen) oder unverändert hindurchlassen (Brücke 1 geschlossen), je nach dem, mit welcher Phasenlage das Signal vom Band zurückkommt (vgl. Grundlagen hierzu im Abschnitt 5 und Inbetriebnahme im Abschnitt 7).

Der Ausgang des EXOR-Gatters führt (über die Multiplexer) an den Dateneingang RxD des 6850, wo dieses Signal CASIN mit jeder positiven Taktflanke RxC abgetastet und eingelesen wird. Jeder Pegelwechsel von CASIN löst über die beiden Monoflops in IC12 einen kurzen Impuls aus (untere IC-Hälfte bei den negativen und obere IC-Hälfte bei den positiven CASIN-Flanken).

Das nachgeschaltete Gatter verknüpft beide Signale ODER (das EXOR-Verhalten wirkt sich hierbei nicht aus, weil immer nur einer der beiden Eingangsimpulse auf HIGH sein kann). Das Monoflop in IC11 ist aufgrund der Beschaltung nicht retriggerbar; es erzeugt (negative) Ausgangsimpulse von 75% der Zeitdauer einer Taktperiode bei der Aufnahme, und dieses Signal CASCLK führt (wiederum über einen Multiplexer) an den 6850-Takteingang RxC.

Mit dem 1-k-Poti erfolgt die exakte Einstellung der Zeitkonstanten (625 µs bei einer Übertragungsrate von 1200 Baud).

Bild 6.7: Detailschaltung des Cassetten-Interfaces.



625 μs @ 1200 Bd

IC 10 : 'LS 86

---

## 6.8 Decodierung und Anzeige der 8255-Portadressen

---

Beim Arbeiten mit dem Parallel-Interface 87060 (vgl. Abschnitt 2) hat es sich in der Praxis als recht nützlich erwiesen, die jeweils angesprochene Portadresse optisch anzuzeigen. Es ist dann sofort ersichtlich, zu welchem Kanal ein Datentransfer führt bzw. woher er kommt, was insbesondere in der Lernphase von Vorteil ist.

Eine geeignete Schaltung hierzu zeigt Bild 6.8. Zur Anzeige der Portadressen für die Ports A, B und C bzw. für das Control-Register dienen vier LEDs, die an die Demultiplexer-Ausgänge (IC15) angeschlossen sind. Die Eingangsinformationen zu diesem Demuxer stammen von den beiden Adreßbits A12 und A14, die in dem Augenblick in IC16 zwischengespeichert werden, wo eine für den 8255 reservierte Portadresse 88...F8 auftritt.

Nach jedem Rücksetzen gehen die Q-Ausgänge der Flipflops in IC16 auf HIGH, was zum Aufleuchten der CTL-Leuchtdiode führt.

Danach wird bei jedem Ansprechen des E/A-Bausteins 8255 die zur ausgegebenen Portadresse passende LED eingeschaltet; sie bleibt so lange aktiviert, bis eine andere 8255-Portadresse auftritt (oder ein RESET-Impuls ausgelöst wird).

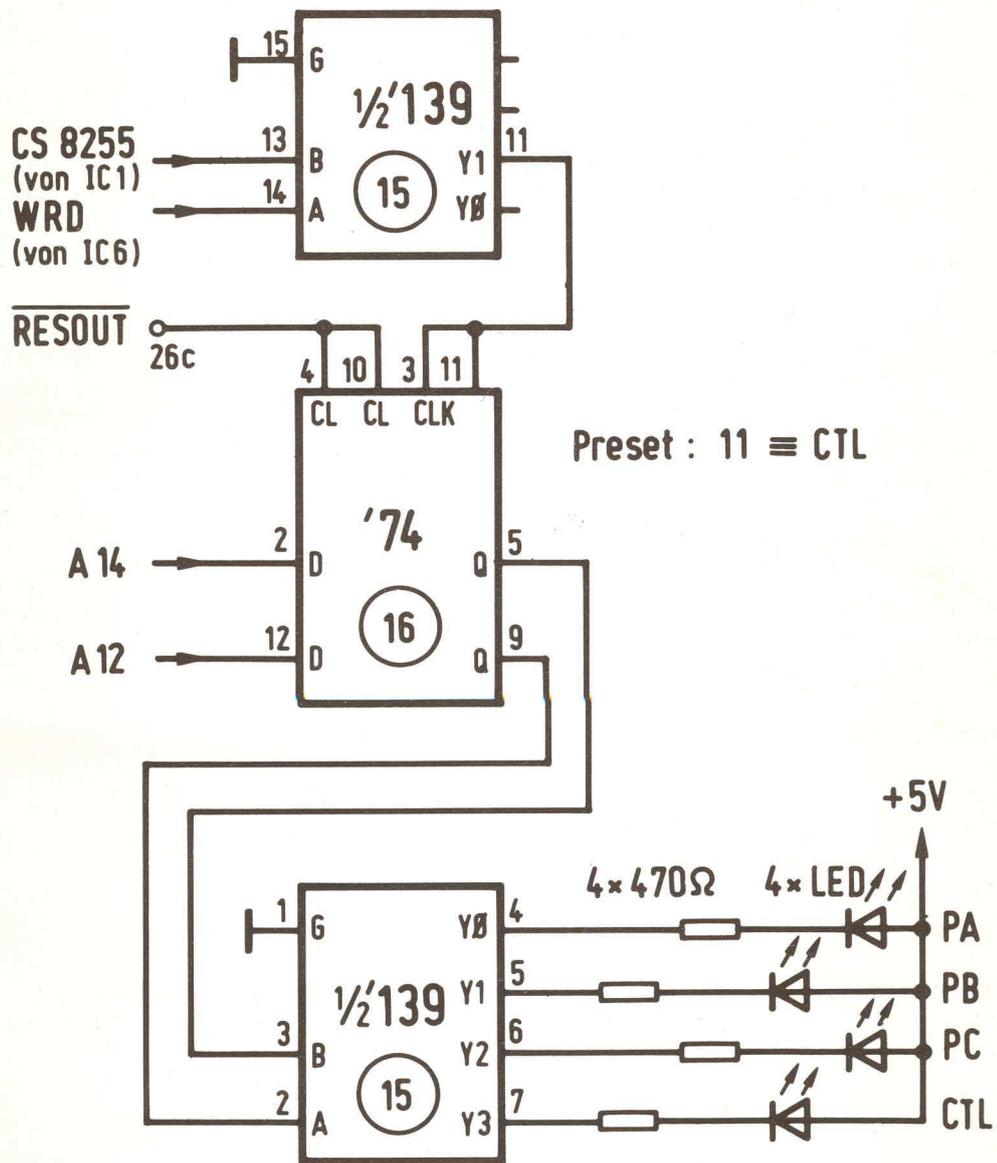
Die Aktivierung der LEDs erfolgt unabhängig davon, ob die korrespondierenden Adressen zusammen mit einem IN- oder OUT-Befehl ausgegeben werden.

Im einzelnen bestehen folgende Zuordnungen:

- o "PA" aktiv bei Portadresse A8 (bzw. 88)
- o "PB" aktiv bei Portadresse B8 (bzw. 98)
- o "PC" aktiv bei Portadresse C8 (bzw. E8)
- o "CTL" aktiv bei Portadresse D8 (bzw. F8)

Die Doppeldeutigkeit bei den Adressen (z.B. 88 und A8) kommt durch Einsparungen bei der Hardware für die entsprechende Adreßdecodierung (vgl. Abschnitt 2.1 auf Seite 12).

Bild 6.8: Schaltung zur Anzeige der 8255-Portadressen.



---

## 6.9 Bestückung des Seriellen Interfaces

---

Sie sollten sich vor dem Beginn der Bestückung erst eingehend mit den Funktionsbeschreibungen für die einzelnen Schaltungsteile vertraut machen. Die Inbetriebnahme der Karte kann nur dann sinnvoll erfolgen, wenn Sie sie schrittweise vornehmen, so wie hier geschildert.

Als erstes werden in die Platine die beiden 24poligen Fassungen und die 64polige VG-Leiste eingelötet. Kein anderes IC kommt auf Fassung, um durch Kontaktmängel keine zusätzlichen Fehlerquellen zu erzeugen!

Die IC-Bestückung beginnen Sie bitte mit IC1 und IC2 und den beiden Germanium-Dioden (IC2, Pins 4 und 6; vgl. Bild 6.2 auf Seite 43). Danach erfolgt der erste Test bei eingesteckter Platine, indem Sie folgendes Endlos-Programm eingeben und starten:

2800	3E 01	TEST	MVI A,01	ein Bit auf HIGH setzen
2802	D3 XX	TELOP	OUT XX	und an Port "XX" ausgeben
2804	07		RLC	Bit eine Stelle verschieben
2805	C3 02 28		JMP TELOP	Schleife schließen

Dieses Beispielprogramm gibt an die Portadresse "XX" ein Byte aus, in dem immer nur ein Bit auf HIGH ist; im nächsten Schleifendurchlauf wird dieses Bit um eine Position (links) verschoben, was Sie mit dem Oszilloskop oder Logikprüfstift verfolgen können.

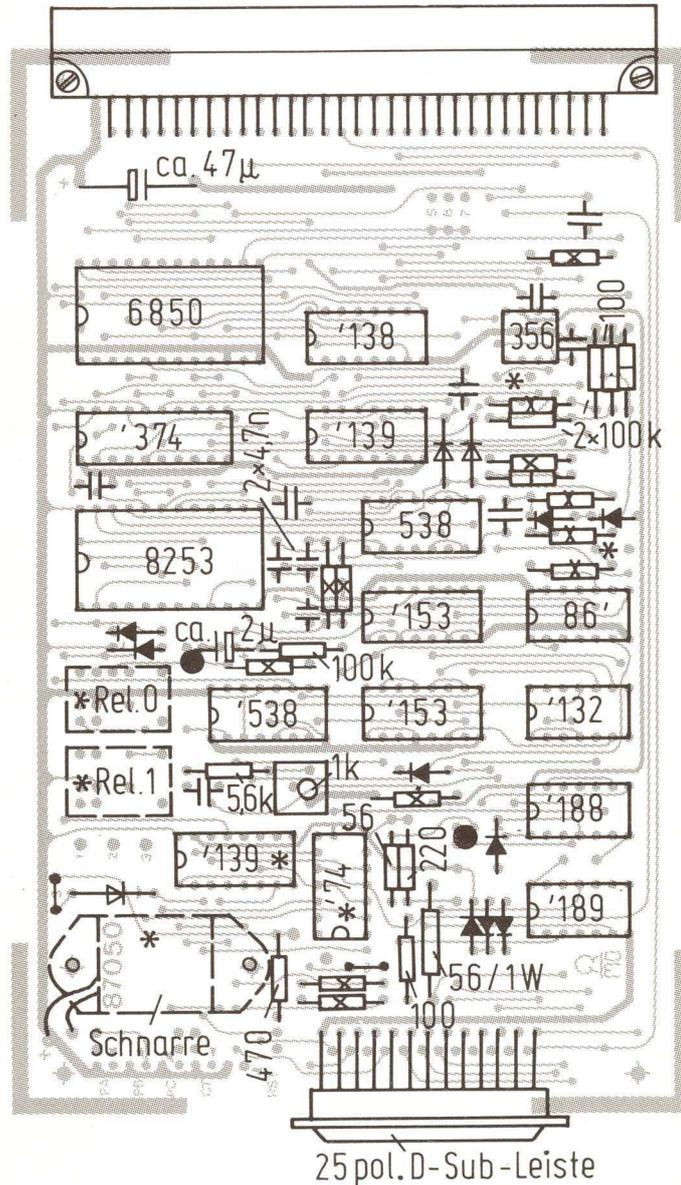
Für "XX" setzen Sie dabei nacheinander sämtliche Portadressen ein, die auf dieser Karte verwendet werden (vgl. Bild 6.2 auf Seite 43 und die Tabelle im Anhang C). Prüfen Sie an den jeweiligen Ausgängen von IC2, ob bei der eingesetzten Adresse am passenden Ausgang (und nur an dem!) LOW-Impulse auftreten, und erst wenn dies der Fall ist, löten Sie auch noch IC3 ein.

An dessen Ausgängen können Sie (sofern Sie für "XX" die Portadresse "A9" einsetzen) das wandernde HIGH-Bit verfolgen.

Danach kommt der Timer an die Reihe; setzen Sie das IC 8253 (richtig herum!) ein und löten Sie die drei Widerstände entsprechend Bild 6.6 auf Seite 51 ein. Zur einfachen optischen Kontrolle empfiehlt es sich ferner, auch Brücke 3 mit der Germanium-Diode sowie die RST-Leuchtdiode mit Vorwiderstand einzulöten. Die Brücken 5, 6 und 7 bleiben hierbei offen, während Brücke 2 bereits eingesetzt werden sollte.

Danach folgen schrittweise die übrigen passiven Komponenten, gefolgt von den restlichen ICs. Die 25polige D-Sub-Leiste sollte zunächst erst provisorisch in die Platine eingesteckt werden; das Einlöten vereinfacht sich, wenn zuvor die Alu-Frontplatte montiert worden ist, weil die Buchse dann genau bündig in den Frontplatten-Ausschnitt eingepaßt werden kann. Im folgenden Abschnitt 7 sind noch einmal die grundlegenden Schritte für die Inbetriebnahme beschrieben, die Sie auch dann noch einmal durchlaufen müssen, wenn sich später einmal eine Fehlfunktion herausstellen sollte (z.B. infolge falscher Handhabung bei Kurzschlüssen, Überspannung o.ä.).

Bild 6.9: Bestückungsplan für die Platine 87050.



- BC 208 o.ä.    ⚡ 1N 4148 o.ä.(Si)    ⚡ AA 116 o.ä.(Ge)
- ||— ca. 100 nF    \* bei Bedarf (s. Text)
- 1 k            —□— 10 k

---

## 7 Inbetriebnahme des Interfaces

---

Nach der Bestückung und bei einer späteren Fehlersuche ist es als erstes ratsam, die Funktion der Decodierlogik zu überprüfen (vgl. Seite 42); nur wenn die gegeben ist, können die einzelnen Schaltungsteile richtig angesprochen werden.

---

### 7.1 Meßpunkte und Abgleich

---

Laden Sie hierzu folgende Sequenz ins RAM und setzen Sie für die Portadresse "XX" in Speicherzelle 2803 nacheinander alle Zieladressen ein, die auf dieser Karte verwendet werden (s.u.):

2800	3E 01	TEST	MVI A,01	ein Bit auf HIGH setzen
2802	D3 XX		OUT XX	an eine Portadresse ausgeben
2804	07		RLC	Bit verschieben
2805	C3 02 28		JMP TEST+2	Schleife erneut durchlaufen

Bei den Portadressen 88, 98, A8, B8, C8, D8, E8 und F8 muß am Stift 9 von IC1 (Meßpunkt A) jeweils eine Folge von LOW-Impulsen auftauchen, wenn die obige Testsequenz durchlaufen wird. An keinem anderen der Meßpunkte B, C, D oder E darf dabei ein LOW-Impuls auftreten.

Wenn Sie in Speicherzelle 2803 (s.o.) eine der Portadressen 89, 99, C9 oder D9 einsetzen, darf die LOW-Impulsfolge ausschließlich am Meßpunkt B erscheinen (Katoden der beiden Germanium-Dioden).

Bei den Portadressen E9 und F9 ist Meßpunkt C zu kontrollieren (IC2, Stift 7), und bei Einsetzen der Portadresse A9 bzw. B9 dürfen die Impulse nur an den Punkten D bzw. E meßbar sein.

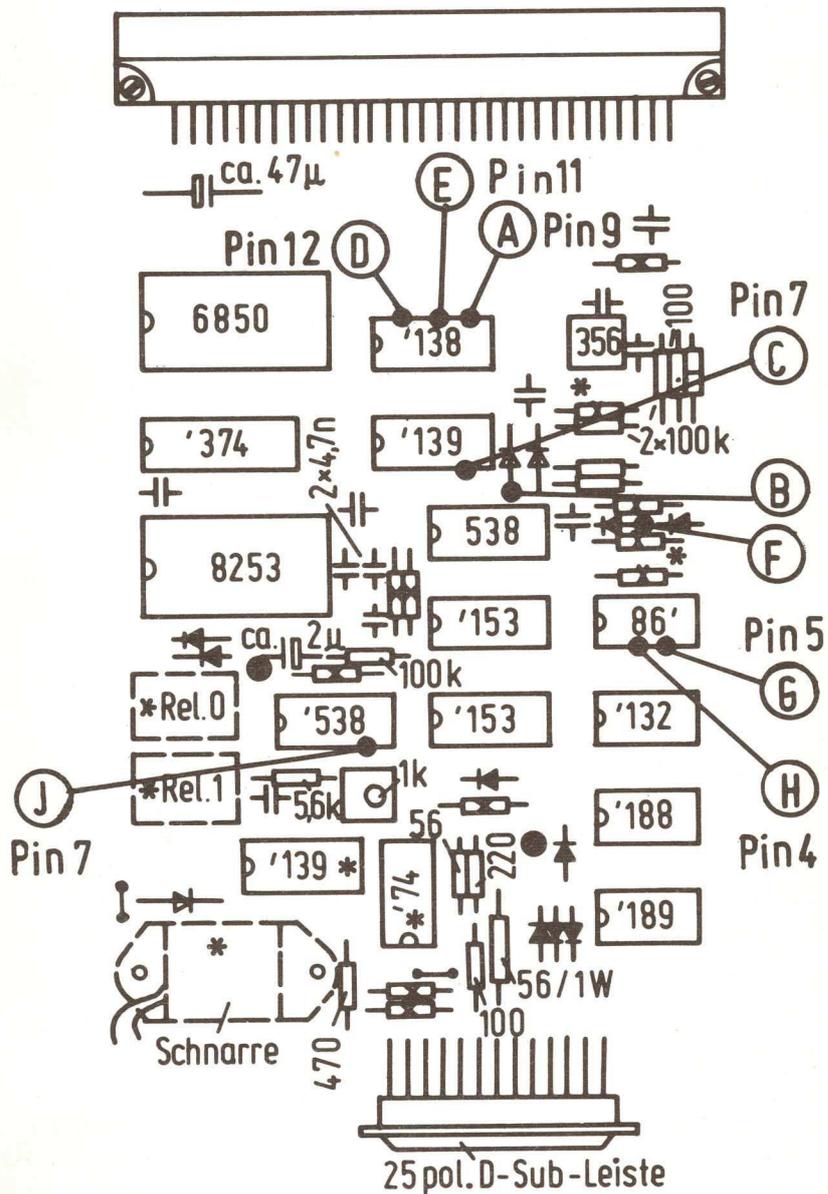
Bei der Cassetten-Ausgabe (vgl. Seite 72) schließen Sie den Ein- und Ausgang der Tonbandbuchse kurz (auf der Rückseite der Busplatine) und überprüfen nach Initialisieren des Timers am Meßpunkt F, ob ein 1,2-kHz-Rechtecksignal vorliegt. Aufgrund der Klammerdioden ist der Pegel an diesem Punkt um ca.+0,6 V über der +5-V-Spannung und um ca.-0,6 V unter dem Bezugspunkt (Masse); diese Werte sind jedoch für die nachfolgende Schaltung zulässig.

Bei jedem Flankenwechsel dieses Rechtecksignals muß an den Stiften 4 bzw. 5 von IC10 ein kurzer, positiver Nadelimpuls auftreten (an Stift 4 = Meßpunkt H bei den positiven Flanken und an Stift 5 = Meßpunkt G bei den negativen Flanken).

Das Signal am Meßpunkt J ist mittels des 1-k-Potis so abzugleichen, daß seine LOW-Zeit 625 us lang ist (=75% einer 1,2-kHz-Periodendauer).

Nach Überprüfung dieser Grundfunktionen sollte die weitere Inbetriebnahme entsprechend der in den folgenden Abschnitten beschriebenen Reihenfolge vorgenommen werden.

Bild 7.1: Meß- und Prüfpunkte für die Inbetriebnahme.



- BC 208 o.ä.    ⚡ 1N4148 o.ä.(Si)    ⚡ AA116 o.ä.(Ge)
- ⚡ ca. 100 nF    \* bei Bedarf (s. Text)
- ⚡ 1 k            ⚡ 10 k

---

## 7.2 Inbetriebnahme des Timers

---

Um die Arbeitsweise des Timers in den verschiedenen möglichen Betriebsarten anschaulich verfolgen zu können, sollten Sie wie folgt vorgehen: Sie verdrahten am Ausgang OUT2 des Timers die Brücke 3 und die daran führende Germanium-Diode (vgl. Timer-Beschaltung auf Seite 50); ferner löten Sie die unterste der vier LEDs ("RST") mit Vorwiderstand ein und geben die Sequenz der nebenstehenden Tabelle 3 ins RAM ein.

Damit bewirken Sie, daß die ersten beiden Zähler 0 und 1 den Systemtakt von 2 MHz durch  $1024 \cdot 1024$  (Zähler 0 im Binär-, Zähler 1 im BCD-Mode) teilen, aus den eingangsseitigen 2,097 MHz also 2 Hz "machen". Diese Frequenz wird in den dritten Teiler eingespeist, und nur für diesen dritten Zähler ändern Sie jetzt nacheinander die Betriebsart (in Speicherstelle 2815), um die entsprechenden Auswirkungen zu studieren.

Natürlich ist es jederzeit möglich, auch den für "n" eingesetzten Faktor zu variieren (in Speicherstelle 2819), um kürzere oder längere Zeiten bzw. Wiederholraten zu erzeugen.

Nach dem Initialisieren und Starten des Timers laufen die Zählvorgänge eigenständig ab, ohne von sonstigen Programmen oder einem RESET beeinflußt zu werden.

**Tabelle 3. Demonstration der Timer-Betriebsarten.**

2800	3E 24	DEMO	MVI A,24	CTL Zähler 0 (Mode 2,bin, 1 Byte)
2802	D3 D9		OUT D9	ins Control-Register
2804	3E 04		MVI A,04	Faktor 1024 (Bit 10 auf HIGH)
2806	D3 89		OUT 89	für Zähler 0
2808	3E 77		MVI A,77	CTL Zähler 1 (Mode 3,BCD,2 Bytes)
280A	D3 D9		OUT D9	ins Control-Register
280C	3E 24		MVI A,24	Faktor 1024, untere Hälfte
280E	D3 99		OUT 99	für Zähler 1
2810	3E 10		MVI A,10	Faktor 1024, obere Hälfte
2812	D3 99		OUT 99	für Zähler 1
2814	3E XX		MVI A,96	CTL Zähler 2 (siehe unten)
2816	D3 D9		OUT D9	ins Control-Register
2818	3E 0A		MVI A,0A	Faktor 10 (dez.)
281A	D3 C9		OUT C9	für Zähler 2
281C	76		HLT	CPU stoppen (Timer läuft weiter)

**Tabelle 4. Steuerwort XX für die verschiedenen Betriebsarten.**

Betriebsart (Mode):	0	1	2	3	4	5
Steuerwort "XX" (binär):	90	92	94	96	98	9A
(BCD):	91	93	95	97	99	9B

---

### 7.2.1 Betriebsarten 0 und 1 (Impulserzeugung)

---

In beiden Betriebsarten tritt am Ausgang von Zähler 2 nur einmalig ein Impuls auf, dessen Dauer (in Taktperioden von 0,5 s) vom Faktor n in Speicherstelle 2819 bestimmt wird.

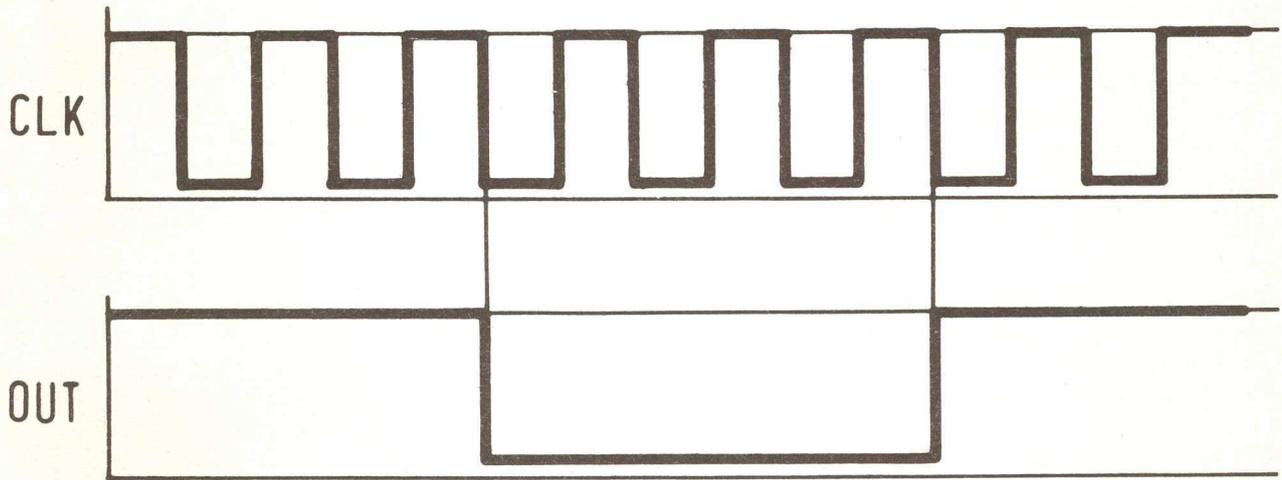
Beide Modes unterscheiden sich hinsichtlich des Startzeitpunktes für den LOW-Ausgangsimpuls: Im Mode 0 beginnt der Impuls unmittelbar nach dem Laden des Faktors n, während man im Mode 1 eine positive Flanke am GATE-Eingang erzeugen muß, um den Ausgangsimpuls auszulösen.

Im Bild 7.2 ist als Beispiel ein Faktor  $n=3$  gezeichnet (nach 2819 laden).

Um den Mode 0 zu demonstrieren, müssen Sie nach RAM-Zelle 2815 das Steuerwort "90" laden und danach die Sequenz der Tabelle 3 starten. Mit den genannten Werten wird die RST-Leuchtdiode sofort danach für 1,5 s aktiviert.

Für Mode 1 müssen Sie nach 2815 das Steuerwort "92" laden und vor dem Starten des Programms das GATE2 auf LOW legen. Rufen Sie dann Ihr Programm gemäß Tabelle 3 auf und lösen Sie zu einem beliebigen Zeitpunkt die Masseverbindung von GATE2; das 1,5 s lange Aufleuchten der LED beginnt in dieser Betriebsart im Moment des Lösens (positive Flanke an GATE2, das über den Pull-up-Widerstand nach +5 V gezogen wird).

Bild 7.2: Ausgangssignal im Mode 0 und 1 (einmaliger Impuls).



---

### 7.2.2 Betriebsart 2 (Teiler durch n)

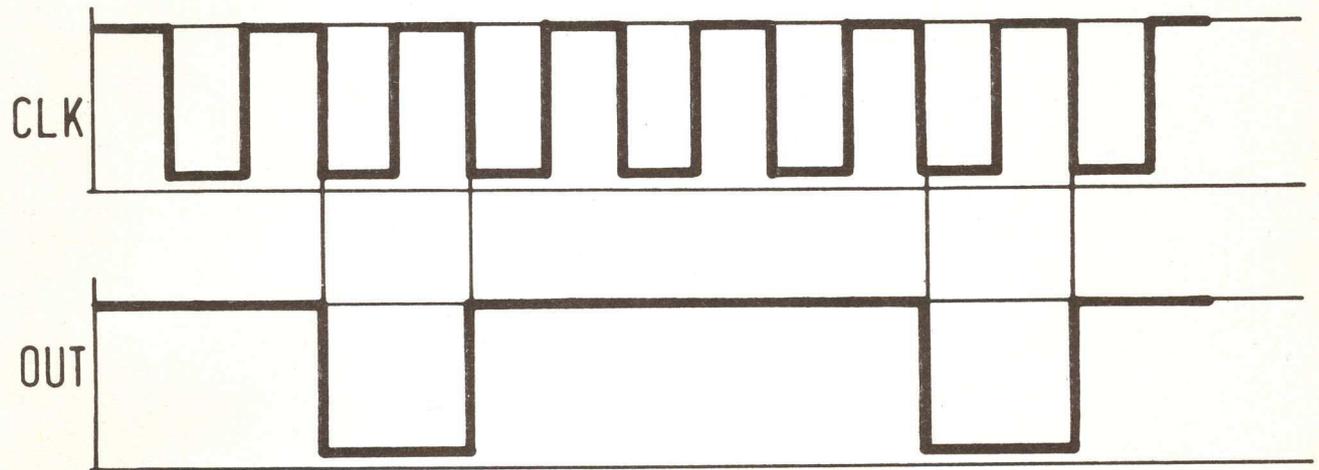
---

In dieser Betriebsart tritt am Ausgang von Zähler 2 ein periodisches Signal auf, das zyklisch für die Dauer einer Taktperiode von 0,5 s auf LOW geht; die Wiederholrate wird vom Faktor n in Speicherstelle 2819 bestimmt.

Im Bild 7.3 ist als Beispiel ein Faktor  $n=4$  (d.h. Wiederholung alle vier Taktperioden) gezeichnet. (nach 2819 laden).

Um diese Betriebsart zu demonstrieren, müssen Sie nach RAM-Zelle 2815 das Steuerwort "94" laden und danach die Sequenz der Tabelle 3 starten. Mit den genannten Werten wird die RST-Leuchtdiode alle 2 s für eine halbe Sekunde lang aufblitzen.

Bild 7.3: Ausgangssignal im Mode 2 (Frequenzteiler).



---

### 7.2.3 Betriebsart 3 (Rechteckgenerator)

---

Auch die Betriebsart 2 führt zur Erzeugung eines periodischen Signals, und zwar tritt hierbei ein symmetrisches Rechtecksignal am Ausgang 2 auf, dessen Periodendauer in 0,5-s-Schritten vom Faktor  $n$  in Speicherstelle 2819 bestimmt wird.

Symmetrie des Ausgangssignals ist allerdings nur dann gegeben, wenn  $n$  eine gerade Zahl ist; andernfalls ist die HIGH-Dauer des Rechtecks um eine Taktperiode länger als die LOW-Zeit.

Im Bild 7.4 oben ist als Beispiel ein Faktor  $n=4$  gezeichnet (nach 2819 laden), was zu ausgangsseitiger Symmetrie führt. Im Bild 7.4 unten sehen Sie die Verhältnisse, die sich bei  $n=5$  einstellen: Die HIGH-Zeit ist um eine Taktperiode länger als die LOW-Zeit.

Um den Mode 3 zu demonstrieren, müssen Sie nach RAM-Zelle 2815 das Steuerwort "96" laden und danach die Sequenz der Tabelle 3 starten. Mit einem Wert von  $n=4$  wird die RST-Leuchtdiode zyklisch eine Sekunde lang leuchten und danach eine Sekunde lang ausgehen und so fort.



---

#### 7.2.4 Betriebsarten 4 und 5 (Triggerpuls)

---

In beiden Betriebsarten tritt am Ausgang von Zähler 2 nur einmalig ein Impuls von einer Taktperiode Dauer auf, dessen Startzeitpunkt (in Taktperioden von 0,5 s) vom Faktor n in Speicherstelle 2819 bestimmt wird.

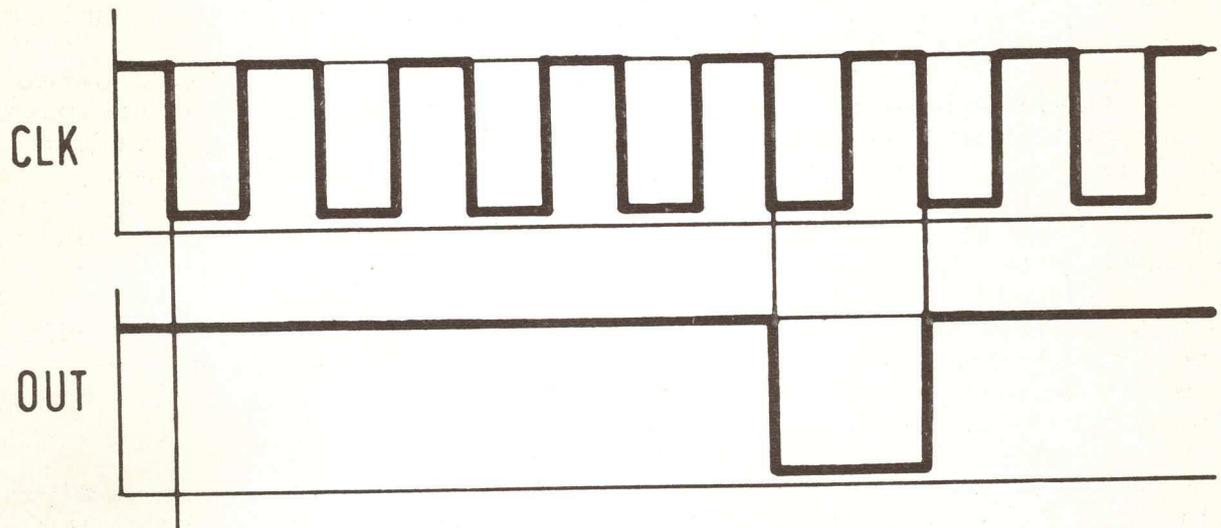
Beide Modes unterscheiden sich hinsichtlich des Startzeitpunktes für den LOW-Ausgangsimpuls: Im Mode 4 beginnt der Impuls n Taktperioden nach dem Laden des Faktors n, während man im Mode 5 eine positive Flanke am GATE-Eingang erzeugen muß, um den Zählbeginn auszulösen.

Im Bild 7.5 ist als Beispiel für die Verzögerungszeit ein Faktor  $n=4$  gezeichnet (nach 2819 laden).

Um den Mode 4 zu demonstrieren, müssen Sie nach RAM-Zelle 2815 das Steuerwort "98" laden und danach die Sequenz der Tabelle 3 starten. Mit den genannten Werten wird die RST-Leuchtdiode 2 s nach dem Programmstart für 0,5 s aktiviert werden.

Für Mode 5 müssen Sie nach 2815 das Steuerwort "9A" laden und vor dem Starten des Programms das GATE2 auf LOW legen. Rufen Sie dann Ihr Programm gemäß Tabelle 3 auf und lösen Sie zu einem beliebigen Zeitpunkt die Masseverbindung von GATE2; das 0,5 s lange Aufleuchten der LED beginnt in dieser Betriebsart 2 s nach dem Lösen (positive Flanke an GATE2, das über den Pull-up-Widerstand nach +5 V gezogen wird).

Bild 7.5: Ausgangssignal im Mode 4 und 5 (Triggerpuls-Erzeugung).



Startzeitpunkt (Laden des Faktors n bzw.  
positive Flanke an GATE)

---

### 7.3 Inbetriebnahme der Drucker-Schnittstelle

---

Der Anschluß eines externen Druckers erfolgt busseitig über die beiden Leitungen PRTOT und PRTIN (vgl. Bild 6.3 auf Seite 45). Selbstverständlich müssen Drucker und Interface außerdem über die Masseleitung miteinander verbunden werden.

Vor dem eigentlichen Datentransfer zum Drucker sind drei Vorbereitungen erforderlich (Tabelle 5):

1. Initialisieren des Timers, der den Sendetakt für den 6850 liefert;
2. Initialisieren des asynchronen Interface-Bausteins 6850 und
3. Laden des Betriebsarten-Registers 74(LS)374.

Um den Drucker mit der gängigen Übertragungsrate von 4800 Baud anzusteuern, muß man Zähler 0 im Mode 3 betreiben (Frequenzteiler) und mit einem Teilerfaktor von 437 laden (Verhältnis von 2,097 MHz zu 4800 kHz).

Der 6850 ist zunächst softwaremäßig zurückzusetzen (Steuerwort "03" ins Control-Register überschreiben), ehe die Übertragungs-Randbedingungen geladen werden (1:1-Mode, 8 Datenbits und je 1 Start- und Stoppbit).

Wie im Abschnitt 6.4 (auf Seite 46) bereits erläutert wurde, ist das Betriebsarten-Register zum Betrieb der Drucker-Schnittstelle mit "A0" zu laden.

Natürlich ist parallel dazu der Drucker auf die hier gewählten Randbedingungen einzustellen: Soweit dies nicht möglich ist, müssen die gemachten Vorgaben entsprechend geändert werden.

Die eigentliche Ausgabe an den Drucker beginnt bei der Schleife "LOP1" in Adresse 283B. Dort wird das Statuswort vom 6850 eingelesen und das TD-Bit (Sende-Schieberegister leer) maskiert. Erst bei leerem Sende-Register geht es bei "LOP2" weiter, wo die Drucker-Rückmeldung abgefragt wird; wiederum wartet das Programm so lange, bis der Drucker seine Bereitschaft zur Entgegennahme des nächsten Zeichens signalisiert.

Ist dies geschehen, wird ein Datenwort aus dem in 2838ff. definierten Bufferbereich geholt und an den 6850 ausgegeben; nach dem Hochzählen des Buffer-Pointers (und einer eventuellen Endabfrage, die in der Tabelle 5 nicht enthalten ist) folgt der nächste Schleifendurchlauf, bei dem wiederum zwei Bedingungen abgewartet werden, ehe das nächste Byte ausgegeben werden kann: Erstens muß das zuletzt übertragene Byte vollständig aus dem Sende-Schieberegister herausgeschoben sein; und zweitens muß der Drucker nach Aufnahme dieses Bytes wieder bereit sein, was beispielsweise bei einem zwischenzeitlichen Wagenrücklauf (zumindest aus der Sicht der CPU) eine kleine Ewigkeit dauern kann.

Tabelle 5. Ansteuerung eines Druckers über den 6850

2820	3E 37	PRINT	MVI A,37	CTL für Zähler 0 (Mode 3,BCD,./437)
2822	D3 D9		OUT D9	ins Timer-Control-Register
2824	3E 37		MVI A,37	Teilerfaktor (untere Hälfte)
2826	D3 89		OUT 89	in Zähler 0 überschreiben
2828	3E 04		MVI A,04	Teilerfaktor (obere Hälfte)
282A	D3 89		OUT 89	in Zähler 0 überschreiben
-----				
282C	3E 03		MVI A,03	CTL-Wort für Rücksetzen
282E	D3 E9		OUT E9	ins 6850-Control-Register
2830	3E 14		MVI A,14	CTL für 6850 (8 Bits,1 Stop,./1)
2832	D3 E9		OUT E9	ins 6850-Control-Register
-----				
2834	3E A0		MVI A,A0	CTL-Wort für Betriebsarten-Register
2836	D3 A9		OUT A9	ins Register IC3
-----				
2838	21 00 80		LXI H,8000	Anfangsadresse Textbuffer
283B	DB E9	LOP1	IN E9	Statuswort einlesen
283D	E6 02		ANI 02	TD-Bit maskieren
283F	CA 3B 28		JZ LOP1	warten, bis Senderegister leer
2842	DB E9	LOP2	IN E9	Statuswort erneut einlesen
2844	E6 08		ANI 08	CTS-Bit maskieren
2846	C2 42 28		JNZ LOP2	warten, bis Drucker bereit ist
2849	7E		MOV A,m	Datenbyte aus Buffer holen
284A	D3 F9		OUT F9	und an 6850 ausgeben
284C	23		INX H	Daten-Pointer hochzählen
284D	C3 3B 28		JMP LOP1	neuer Schleifendurchlauf

## 7.4 Inbetriebnahme der Cassetten-Ausgabe

Der Anschluß eines Magnetbandgerätes erfolgt busseitig über die beiden Leitungen COT und CIN (vgl. Bild 6.7 auf Seite 53). Selbstverständlich müssen Bandgerät und Interface außerdem über die Masseleitung miteinander verbunden werden.

Vor der eigentlichen Datenausgabe sind drei Vorbereitungen erforderlich (Tabelle 6):

1. Initialisieren des Timers, der den Sendetakt für den 6850 liefert;
2. Initialisieren des asynchronen Interface-Bausteins 6850 und
3. Laden des Betriebsarten-Registers 74(LS)374.

Um das Bandgerät mit der gängigen Übertragungsrate von 1200 Baud anzu- steuern, muß man Zähler 0 im Mode 3 betreiben (Frequenzteiler) und mit einem Teilerfaktor von 1748 laden (Verhältnis von 2,097 MHz zu 1200 kHz).

Der 6850 ist zunächst softwaremäßig zurückzusetzen (Steuerwort "03" ins Control-Register überschreiben), ehe die Übertragungs-Randbedingun- gen geladen werden (1:1-Mode, 8 Datenbits und je 1 Start- und Stopp- bit).

Wie im Abschnitt 6.4 (auf Seite 46) bereits erläutert wurde, ist das Betriebsarten-Register zum Betrieb des Cassetten-Interfaces mit "CO" zu laden.

Die eigentliche Ausgabe beginnt bei der Schleife "LOPOT" in Adresse 286C (HLT-Befehl in 2868 zuvor durch NOP=00 ersetzen!). Dort wird das Statuswort vom 6850 eingelesen und das TD-Bit (Sende-Schieberegister leer) maskiert. Erst bei leerem Sende-Register geht es mit der Ausgabe weiter, bei der keine Bereitmeldung des Peripheriegerätes abgewartet werden muß.

Nach dem Hochzählen des Buffer-Pointers (und einer eventuellen Endab- frage, die rechts unten angedeutet ist) folgt der nächste Schleifen- durchlauf, bei dem wiederum abgewartet werden muß, bis das Sende-Schie- beregister leer ist.

Zur Einstellung der Zeitkonstanten von Monoflop 3 braucht man nur die Sequenz "INIT" aus Tabelle 6 zu durchlaufen (wobei der HLT-Befehl in 2868 einzusetzen ist). Danach erscheint am Cassetten-Ausgang ein kon- tinuierlicher Dauerton von 1200 Hz, da der 6850 noch nicht die Daten- übertragung aufgenommen hat. Zeichnen Sie ein paar Meter dieses Dauert- ons auf Band auf, lesen Sie diese Information wieder ein und stellen Sie (mit Hilfe eines Zählers oder Oszilloskops) die Mono-3-Zeitkonstan- te auf den erforderlichen Wert von 625  $\mu$ s ein.

Sobald dies geschehen ist, nehmen Sie den HLT-Befehl in Adresse 2868 wieder heraus, indem Sie ihn mit "00" (=NOP) überschreiben; bei jeder späteren Bandaufzeichnung geben Sie vor dem eigentlichen Start einen derartigen Dauerton aus, in dessen Verlauf Sie die anschließende Ein- lese-Routine starten.

Tabelle 6. Ausgabe über das Cassetten-Interface

---

2850	3E 37	INIT	MVI A,37	CTL f. Zähler 0 (Mode 3,BCD,./1748)
2852	D3 D9		OUT D9	ins Timer-Control-Register
2854	3E 48		MVI A,48	Teilerfaktor (untere Hälfte)
2856	D3 89		OUT 89	in Zähler 0 überschreiben
2858	3E 17		MVI A,17	Teilerfaktor (obere Hälfte)
285A	D3 89		OUT 89	in Zähler 0 überschreiben

---

285C	3E 03		MVI A,03	CTL-Wort für Rücksetzen
285E	D3 E9		OUT E9	ins 6850-Control-Register
2860	3E 14		MVI A,14	CTL für 6850 (8 Bits,1 Stop,./1)
2862	D3 E9		OUT E9	ins 6850-Control-Register

---

2864	3E C0		MVI A,C0	CTL-Wort für Betriebsarten-Register
2866	D3 A9		OUT A9	ins Register IC3
2868	(76)/00		(HLT)/NOP	Stop nur für Inbetriebnahme)
2869	21 00 80		LXI H,8000	Anfangsadresse Textbuffer
286C	DB E9	LOPOT	IN E9	Statuswort einlesen
286E	E6 02		ANI 02	TD-Bit maskieren
2870	CA 6C 28		JZ LOPOT	warten, bis Senderegister leer
2873	7E		MOV A,m	Datenbyte aus Buffer holen
2874	D3 F9		OUT F9	und an 6850 ausgeben
2876	23		INX H	Daten-Pointer hochzählen
2877	C3 6C 28		JMP LOPOT	neuer Schleifendurchlauf

---

mögliche Endabfrage ab Adresse 2877 (Endadresse+1 in RP D&E):

2877	7B	END	MOV A,E	Endadresse (untere Hälfte) holen
2878	BD		CMP L	mit aktuellem Wert in H&L vergleichen
2879	C2 6C 28		JNZ LOPOT	ungleich: neuer Schleifendurchlauf
287C	7A		MOV A,D	Endadresse (obere Hälfte) holen
287D	BC		CMP H	mit aktuellem Wert in H&L vergleichen
287E	C2 6C 28		JNZ LOPOT	ungleich: neuer Schleifendurchlauf
2881	C3 00 00		JMP 0	Ende: zurück zum Monitor-Anfang

---

---

## 7.5 Inbetriebnahme der Cassetten-Eingabe

---

Der Anschluß eines Magnetbandgerätes erfolgt busseitig über die beiden Leitungen COT und CIN (vgl. Bild 6.7 auf Seite 53). Selbstverständlich müssen Bandgerät und Interface außerdem über die Masseleitung miteinander verbunden werden.

Vor der eigentlichen Dateneingabe sind zwei Vorbereitungen erforderlich (Tabelle 7):

1. Initialisieren des asynchronen Interface-Bausteins 6850 und
2. Laden des Betriebsarten-Registers 74(L5)374.

Da der Einlesetakts für den 6850 vom Cassetten-Interface selbst erzeugt wird (Mono-3-Ausgang), braucht der Timer beim Einlesen von Band nicht geladen zu werden.

Der 6850 ist wie üblich zunächst softwaremäßig zurückzusetzen (Steuerwort "03" ins Control-Register überschreiben), ehe die Übertragungsrandbedingungen geladen werden (1:1-Mode, 8 Datenbits und je 1 Start- und Stoppbit).

Wie im Abschnitt 6.4 (auf Seite 46) bereits erläutert wurde, ist das Betriebsarten-Register zum Betrieb des Cassetten-Interfaces mit "CO" zu laden.

Die eigentliche Eingabe beginnt bei der Schleife "LOPIN" in Adresse 288F. Dort wird das Statuswort vom 6850 eingelesen und das RD-Bit (Empfangs-Schieberegister voll) maskiert. Erst bei vollem Empfangs-Register geht es mit der Eingabe weiter, bei der keine Bereitmeldung des Peripheriegerätes abgewartet werden muß.

Nach dem Hochzählen des Buffer-Pointers (und einer eventuellen Endabfrage, die rechts unten angedeutet ist) folgt der nächste Schleifen-durchlauf, bei dem wiederum abgewartet werden muß, bis das Empfangs-Schieberegister voll ist.

Das Einleseprogramm startet man, nachdem man das Band in den bei der Aufnahme erzeugten Vorspann-Dauerton gebracht hat (vgl. Abschnitt 7.4 auf der vorigen Doppelseite).

Die Brücke 1 ist nur dann einzulöten, wenn die aufgezeichneten Daten nach dem Einlesen invers vorliegen (d.h. statt "FF" ein "00" erscheint). Sind die Daten nach dem Wiedereinlesen in der ursprünglichen Form vorhanden, erübrigt sich (bei dem verwendeten Bandgerät) die Brücke 1.

Tabelle 7. Eingabe über das Cassetten-Interface

2880	3E 03	INIT	MVI A,03	CTL-Wort für Rücksetzen
2882	D3 E9		OUT E9	ins 6850-Control-Register
2884	3E 14		MVI A,14	CTL für 6850 (8 Bits, 1 Stop, ./ .1)
2886	D3 E9		OUT E9	ins 6850-Control-Register

2888	3E C0		MVI A,C0	CTL-Wort für Betriebsarten-Register
288A	D3 A9		OUT A9	ins Register IC3

288C	21 00 80		LXI H,8000	Anfangsadresse Textbuffer
288F	DB E9	LOPIN	IN E9	Statuswort einlesen
2891	E6 01		ANI 01	RD-Bit maskieren
2893	CA 8F 28		JZ LOPIN	warten, bis Empfangsregister voll
2896	DB F9		IN F9	Datenbyte vom 6850 einlesen
2898	77		MOV m,A	und im Textbuffer ablegen
2899	23		INX H	Daten-Pointer hochzählen
289A	C3 8F 28		JMP LOPIN	neuer Schleifendurchlauf

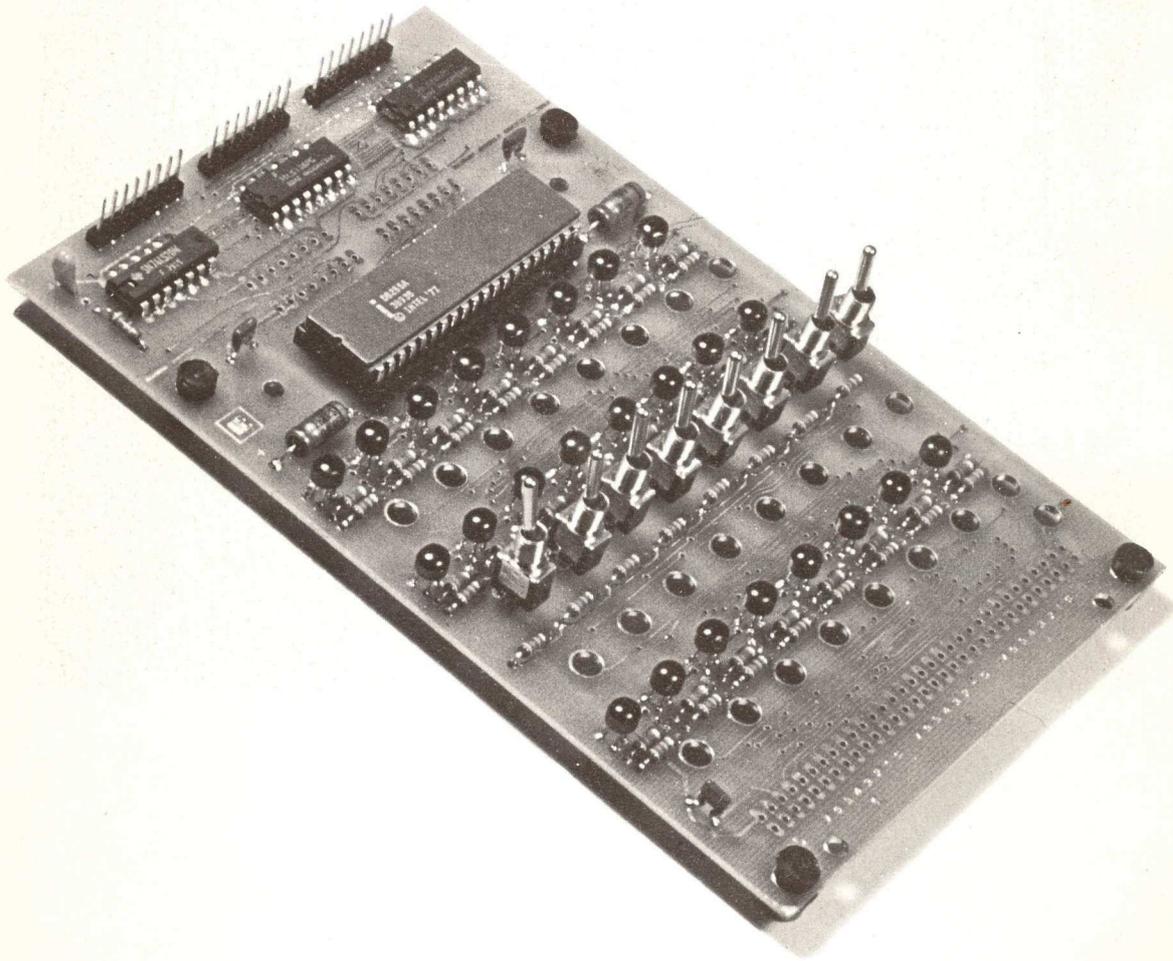
mögliche Endabfrage ab Adresse 289A (Endadresse+1 in RP D&E):

289A	7B	END	MOV A,E	Endadresse (untere Hälfte) holen
289B	BD		CMP L	mit aktuellem Wert in H&L vergleichen
289C	C2 8F 28		JNZ LOPIN	ungleich: neuer Schleifendurchlauf
289F	7A		MOV A,D	Endadresse (obere Hälfte) holen
28A0	BC		CMP H	mit aktuellem Wert in H&L vergleichen
28A1	C2 8F 28		JNZ LOPIN	ungleich: neuer Schleifendurchlauf
28A4	C3 00 00		JMP 0	Ende: zurück zum Monitor-Anfang

---

Anhang A: Das bestückte Parallel-Interface.

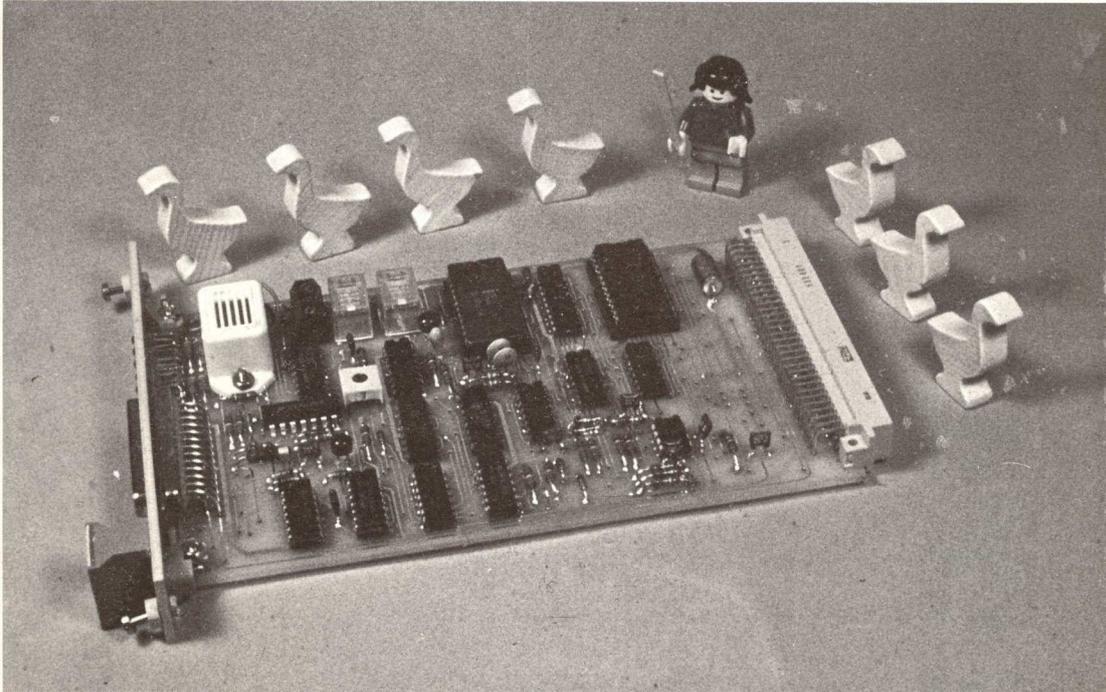
---



---

Anhang B: Das bestückte Serielle Interface.

---



**Anhang C: Verteilung der Portadressen (entspricht MOPPEL)**

08	IN/OUT	Daten (8)	Prommer
09	OUT	Adressen (lower)	- " -
0A	OUT	Adressen (upper)	- " -
0B	OUT	Control	- " -
18	IN/OUT	Daten (4)	Echtzeit-Uhr
19	OUT	Adresse/Control	- " -
1A	OUT	Einzelschritt-Flipflop	Einzelschritt-Modul
1B		reserviert	
28/29	IN/	Adressen/Status	Video-Interface
2A/2B	OUT	Normal/Grafik-Mode	- " -
38	OUT	Daten (8)	Thermodrucker
39	IN/OUT	Control	- " -
3A/3B		reserviert	
48...		reserviert	
...5B			
68,69,6A,6B		frei verfügbar	
78,79,7A,7B		- " -	
88/A8		Port A	Parallel-Interface
98/B8		Port B	- " -
C8/E8		Port C	- " -
D8/F8		Control	- " -
89	IN/OUT	Zähler 0	Timer
99	IN/OUT	Zähler 1	- " -
C9	IN/OUT	Zähler 2	- " -
D9	OUT	Control	- " -
A9	OUT	Control	Seriell Interface
B9	OUT	Bell	- " -
E9	IN/OUT	Status/Control	- " -
F9	IN/OUT	Daten (8)	- " -

IN: Eingabe-Kanal  
 OUT: Ausgabe-Kanal  
 IN/OUT: Ein- und Ausgabe-Kanal mit derselben Adresse

=====  
**Anhang D: ECB-Busbelegung (mit MOPPEL-Modifikationen; #: aktiv LOW)**  
 =====

+5 V		Prof 180x		+5 V		Prof 180x	
1c				1a			
2c	D0	→		2a	D5		
3c	D7			3a	D6		
4c	D2			4a	D3		
5c	A0			5a	D4		
6c	A3			6a	A2		
7c	A1			7a	A4		
8c	A8			8a	A5		
9c	A7	→		9a	A6		
10c	ALE		frei	10a	READY		WHIT
11c	frei	VID (Video-Out)	IEI	11a	HOLD#		BUSRQ
12c	frei	HS (Hor. Sync.)	719	12a	*A18		
13c	frei	VS (Vert. Sync.)	frei	13a	+12 V		+12V
14c	D1	→		14a	BAS (Comp. Video)		-12V!
15c	-12 V		frei	15a	frei	-5 V	frei
16c	frei	PRTOUT (Printer Out)	IEO	16a	INTA		frei
17c	A11	→		17a	*A17	→	
18c	A10	→		18a	A14	→	
19c	*A16	→		19a	frei	PRTIN (Printer In)	
20c	TRAP#		NMI	20a	S1		M1
21c	INTR#		INT	21a	RST5.5#		frei
22c	WR#			22a	RST6.5#		frei
23c	SO		frei	23a	RST7.5#		BAT
24c	RD#			24a	+Uv (CMOS)		
25c	frei	CIN (Cass. In)	HI/CT	25a	CS3000#		B70
26c	RESET OUT#	→ = PCL		26a	Out Buff. Disable#		RDY
27c	A12	→		27a	frei	COT (Cass. Out)	19RQ
28c	A15	→		28a	frei	TXC, TRQS, RFSH	
29c	CLK (2,097 MHz)			29a	A13		
30c	IO/M (M: #)		MREQ	30a	A9		
31c	RESET IN#	→		31a	HLDA#		BUS M <sub>k</sub>
32c	GND	→		32a	GND		

---

1984

Franzis-Verlag GmbH, Karlstraße 37–41, 8000 München 2.

Bearbeitet von der Redaktion der Zeitschrift ELO. Für den Text verantwortlich: Reinhard Gößler.

© Sämtliche Rechte – besonders das Übersetzungsrecht – an Text und Bildern vorbehalten. Fotomechanische Vervielfältigung nur mit Genehmigung des Verlages.

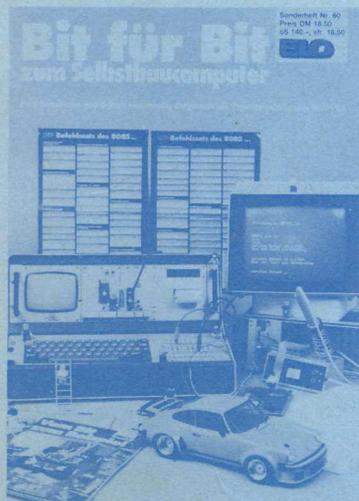
Jeder Nachdruck, auch auszugsweise, und jede Wiedergabe der Abbildungen, auch in verändertem Zustand, sind verboten.

ISSN 0172-2786

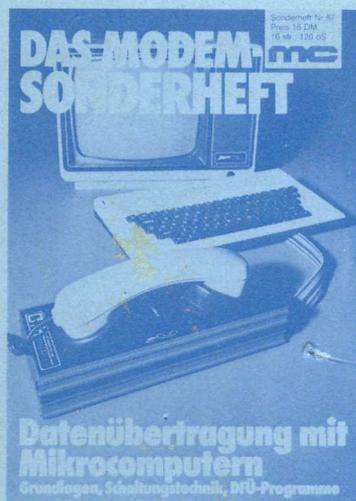
Druck: Franzis-Druck GmbH, München. Printed in Germany, Imprimé en Allemagne.

ZV-Artikel-Nr. 63031 · F/ZV/284/913/2'

# Alles über Mikro-Computer



**ELO-Sonderheft BIT FÜR BIT** **NEU**  
 Eine Sammlung der in der ELO erschienenen Beiträge zum modularen Prozessor-Programm MOPPEL, ergänzt durch eine Reihe von Grundlagen-Artikeln.  
 Für Mikrocomputer-Anfänger und -Fortgeschrittene.  
 80 Seiten, 18,50 DM



**Das MC-MODEM-Sonderheft** **NEU**  
 behandelt Hard- und Software zur Datenübertragung per Telefon – Schaltungstechnik von Modems, Übertragungs-Software, Grundlagen der Datenfernübertragung, Schnittstellen an Computern, Übertragungsprotokolle, öffentlich zugängliche Datenbanken.  
 Überwiegend Aufsätze aus MC.  
 Für Profis und Hobbyisten.  
 64-Seiten, 16 DM



**Das MC-BASICODE-Sonderheft EINHEITSSPRACHE FÜR HEIMCOMPUTER** **NEU**  
**mit Programmkassette**  
 Übersetzungsprogramme für Basic-Dialekte aller gängigen Computer, damit der Software-Austausch auch unter unterschiedlichen Typen möglich wird. Überwiegend neue Beiträge.  
 Für Heim-Computer-Besitzer.  
 64 Seiten, 24,80 DM inkl. Programmkassette.

## Sonderhefte zum Thema Mikro-Computer

Für Einsteiger, Elektroniker und Programmierer sind diese Sonderhefte eine kompakte Informationsquelle zu einzelnen Spezialbereichen.



**Das MC-CP/M-Sonderheft** zum Selbstbau des MC-CP/M-Computers. Außerdem wird ein umfassender Überblick über den Aufbau eines vollständigen Computersystems und über das Zusammenwirken von Software und Hardware, nach dem heutigen Stand der Technik, gegeben.  
 Ergänzte Zusammenfassung der bereits erschienenen Beiträge.  
 Für Fortgeschrittene und Hardware-Interessierte.  
 120 Seiten, 26 DM



**MC-Sonderheft DAS EMUF-SONDERHEFT** 3., überarbeitete Auflage mit 24 zusätzlichen Seiten.  
 Aufbau, Programmierung und Anwendung eines Einplatinen-Mikrocomputers für universelle Festprogramm-Anwendung.  
 Überwiegend neue Beiträge.  
 Für Anfänger und Fortgeschrittene, 6502-Assembler-Programmierung.  
 88 Seiten, 18 DM



**FUNKSCHAU-Sonderheft Zaubern mit dem ZX 81**  
 Hier wird das Programmieren in Maschinensprache durch einen kompletten Lehrgang leicht verständlich. Hilfestellung beim Softwarekauf.  
 Überwiegend Beiträge aus der FUNKSCHAU.  
 Für Mikrocomputer-Hobbyisten und -Einsteiger.  
 64 Seiten, 14,20 DM

## Bezugsmöglichkeiten

Bei allen Bahnhofsbuchhandlungen, beim Elektronik-Fachhandel, bei größeren Zeitschriftenverkaufsstellen, in Buchhandlungen oder direkt beim Franzis-Verlag

- Voreinzahlung des genannten Betrages zzgl. 2,- DM Porto auf unser Postscheckkonto München Nr. 813 75-809 mit genauer Nennung des jeweiligen Titels oder
- Zusendung eines Schecks

## Franzis-Verlag

Karlstraße 37, 8000 München 2, Tel. 0 89/51 17-2 39/-3 80

In der Schweiz: Verlag Thali AG, CH-6285 Hitzkirch.

In Österreich, Fachbuch Center Erb, Amerlingstraße 1, A-1061 Wien.