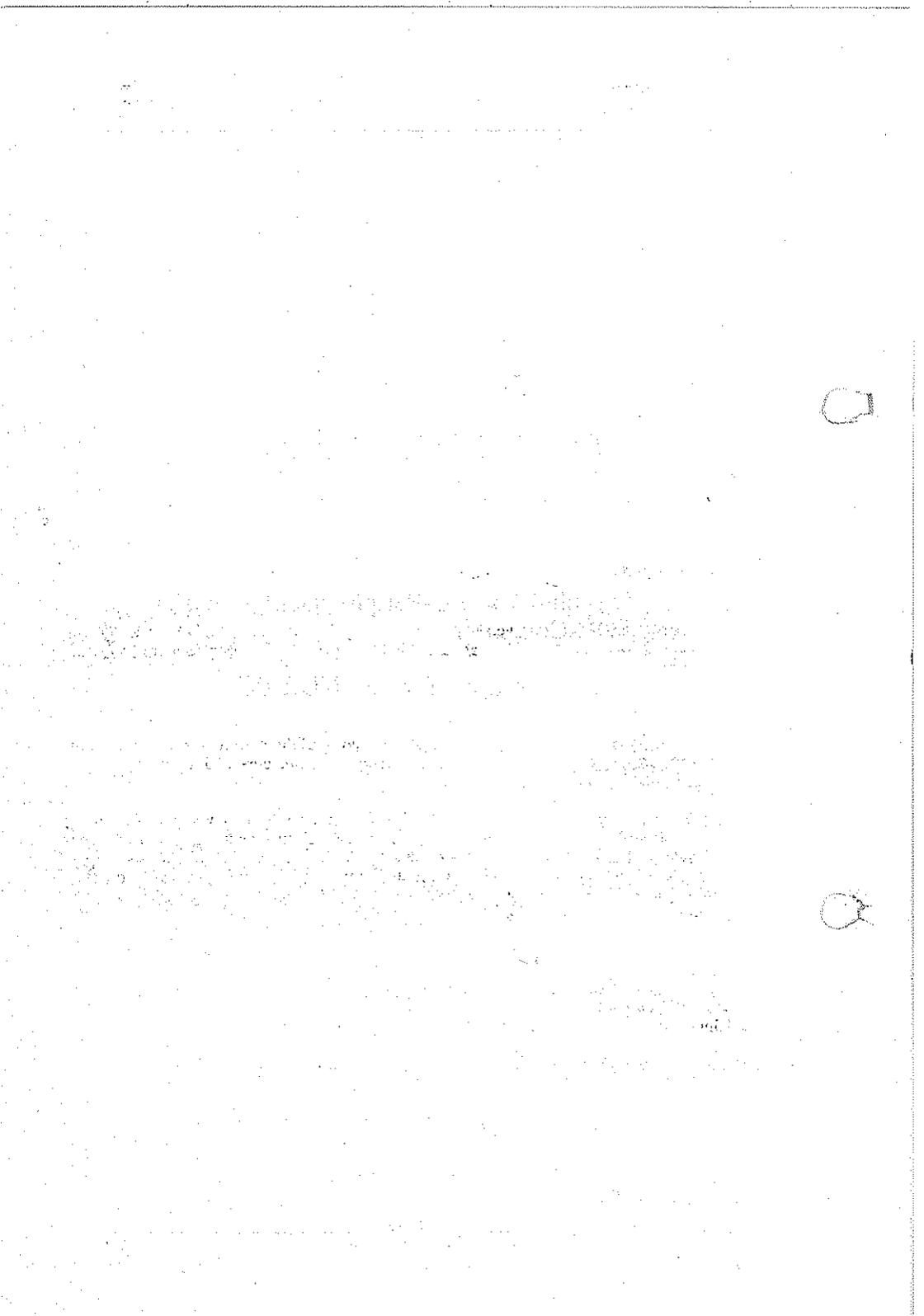


BUSKOPP

- Anschluß von PC-Peripheriekarten an den NDR-Computer
- Grundbaugruppe für den NDR-PC



(C) 1988 Graf Elektronik Systeme GmbH

Sämtliche Rechte - besonders das Übersetzungsrecht - an Text und Bildern vorbehalten. Fotomechanische Vervielfältigungen nur mit Genehmigung des Verlages. Jeder Nachdruck, auch auszugsweise, und jede Wiedergabe der Abbildungen, auch in verändertem Zustand, sind verboten.

Wichtiger Hinweis

Die in diesem Buch wiedergegebenen Schaltungen und Verfahren werden ohne Rücksicht auf die Patentlage mitgeteilt. Sie sind ausschließlich für Amateur- und Lehrzwecke bestimmt und dürfen nicht gewerblich genutzt werden.

Alle Schaltungen und technischen Angaben in diesem Handbuch wurden von dem Autor mit größter Sorgfalt erarbeitet bzw. zusammengestellt und unter Einschaltung von wirksamen Kontrollmaßnahmen reproduziert. Trotzdem sind Fehler nicht ganz auszuschließen. Der Lizenzinhaber und der Autor sehen sich deshalb gezwungen, darauf hinzuweisen, daß sie weder Garantie noch die juristische Verantwortung oder irgendeine Haftung für Folgen, die auf fehlerhafte Angaben zurückzuführen sind, übernehmen.

1. Ausgabe

Text und Layout: Hermann Binzer, Kempten GES
Druck und Bindung: Druckerei Rieder, Kempten
Bestellnr.: 11300

Erstellt mit "MicrosoftWord" und "PageMaker" auf einem mc-modular-AT/286

Inhaltsverzeichnis	Seite
1.0 Einführung	4
1.1 Zum NDR-Computer	4
1.2 Die Baugruppe BUSKOPP	5
2.0 Technische Daten	5
3.0 Prinzipbeschreibung	6
3.1 Blockschaltbild	6
3.2 Beschreibung des Blockschaltbildes	7
3.3 Beschreibung der Bussignale	8
3.3.1 PC-Bus	8
3.3.2 NDR-Bus	9
4.0 Aufbauanleitung	12
4.1 CMOS-Warnung	12
4.2 Stückliste	12
4.3 Aufbau Schritt für Schritt	15
5.0 Testanleitung	18
5.1 Erste Prüfung ohne IC's	18
5.2 Test am System	19
5.3 Jumperstellungen	20
6.0 Anleitung zur Fehlersuche	21

7.0	Schaltungsbeschreibung	22
7.1	Steuersignale für Schreib- und Lesezugriffe	22
7.2	Die WAIT-Logik	23
7.3	Der Oszillator	25
8.0	Anwendungen	25
8.1	CPU 8088 und BUSKOPP	25
8.2	NDR allgemein mit BUSKOPP	25
8.3	Stand-Alone-System mit BUSKOPP	26
9.0	Kritik, Verbesserungen	26
9.1	Verbesserungsvorschläge	26
9.2	Kritik	26
10.0	Bauelemente	27
10.1	TTL-Bausteine	27
10.1.1	7404	27
10.1.2	7405	27
10.1.3	7406	28
10.1.4	74LS32	28
10.1.5	74LS164	29
10.2	PAL	30
10.3	INTEL-Baustein 8284	31
Anhang A: Schaltplan		32
Anhang B: Layout Bestückungsseite mit Bestückungsaufdruck		33
Anhang C: Layout Bestückungsseite		34
Anhang D: Layout Lötseite		35

1. Einführung

1.1 Zum NDR-Computer

Der NDR-Computer wird in der Fernsehserie "Rechner modular" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk, vom Sender Freies Berlin, vom Bayrischen Rundfunk und von Radio Bremen ausgestrahlt. Der NDR-Computer wurde für diese Sendereihe entwickelt. Von Anfang an wurde bei diesem Computer das modulare Konzept in den Vordergrund gestellt. Mittlerweile laufen auf dem NDR-Computer nicht weniger als sechs CPUs und fünf Betriebssysteme. Kein anderes Computersystem kann eine solche Universalität aufweisen. Nähere Angaben zum modularen Konzept und zu den verfügbaren Baugruppen zum NDR-Computer finden Sie in unserem über 200-seitigen Farbkatalog.

Zur Serie gibt es einige Begleitmaterialien, daher ist es nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Computer zu bauen und zu begreifen:

- **Buch:** Rolf-Dieter Klein: *"Rechner modular"*
ISBN 3-7723-8721-7, Franzis-Verlag, München
Bestellnummer: 10991
- **Buch:** Rolf-Dieter Klein: *"Die Prozessoren 68000 und 68008"*
ISBN 3-7723-7651-7, Franzis-Verlag, München
Bestellnummer: 10588
- **Buch:** Helmut Ostermann:
"Maschinen- und Assemblersprache des MC 68000"
ISBN 3-8023-0174-9, Vogel-Verlag, Würzburg
Bestellnummer: 11003
- **Zeitschrift:** "LOOP" der Firma Graf Elektronik Systeme GmbH
Die Zeitschrift LOOP ist eine Kundenzeitschrift und enthält Neuerungen, Änderungen, Tips und Tricks, Software usw. zum NDR-Computer und auch speziell zu dieser Baugruppe.
- **Zeitschriften:** "mc" und "ELO" des Francis-Verlags
- **Christiani:** Für zahlreiche Anwendungen mit dem NDR-Computer werden von dem renommierten Fernlehrinstitut Christiani Kurse und Fernlehrgänge angeboten: z.B. SPS, Maschinensprache Z80, Assembler Z80.
- **Katalog:** Der Katalog von Graf Computer enthält alle Baugruppen, Systemzusammenstellungen, Software, Teachware, usw. zum NDR-Computer. Er enthält auch eine Einführung in die Rechner-technik.
Farbkatalog 208 Seiten, Bestellnr.: 10834

1.2 Die Baugruppe BUSKOPP

Die Baugruppe ermöglicht eine Verbindung zwischen NDR- und PC-Bus und ist damit für zwei Anwendungsgebiete einsetzbar.

Zum einen ist sie vor allem für NDR-Anwender interessant, die dadurch die Möglichkeit bekommen, preiswerte PC-Peripheriekarten auf ihrem Computer einzusetzen.

Da die Buskopplung über einen Stromversorgungsanschluß verfügt, ist es zum anderen auch möglich, die Baugruppe unabhängig vom NDR-Computer einzusetzen. Dabei können die Baugruppen des NDR-Systems an den zur Verfügung stehenden NDR-Steckplätzen angeschlossen werden.

Die BUSKOPP verfügt über 3 PC-Steckplätze; damit kann der Anwender mehrere PC-Karten gleichzeitig an seinem Rechner betreiben. Hier dürften vor allem Festplatten-Controller, parallele und serielle Schnittstellen sowie PC-Graphikkarten in Frage kommen. Das System (BIOS der CPU 8088) erkennt dabei selbständig, welche Karten sich im System befinden.

2. Technische Daten

- Stromverbrauch: +5V: 300mA
- Busformat: NDR-Bus 54-polig
PC-BUS 62-polig
- Leiterplattenformat: 110 x 180 mm
- übergreifender DMA nicht möglich
- Interrupt von PC-Bus (INTR3 --> INT, INTR4 --> NMI, INTR7 --> auf Reserve (Pin 54))
- WAIT-States für PC-Karten für I/O und Speicher getrennt einstellbar
- Takterzeugung für EGA-Karten (14,31818 MHz)

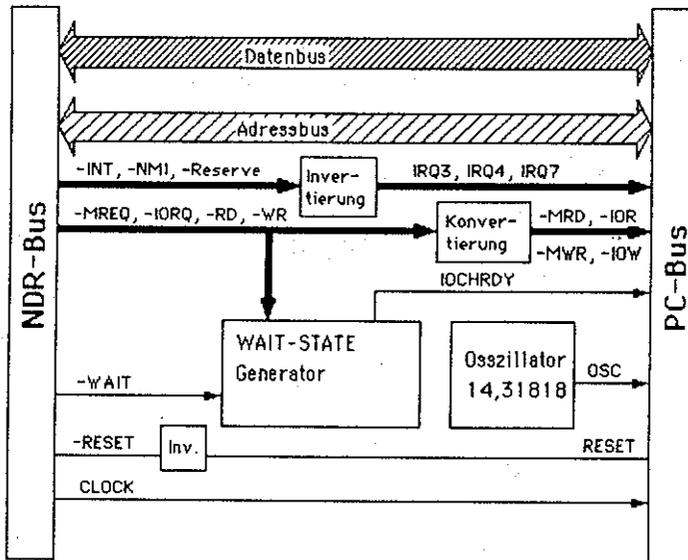
3. Prinzipbeschreibung

Vereinbarung:

Wenn ein Signal LOW-aktiv ist, wird dies normalerweise durch einen Querstrich über der Signal-Bezeichnung dargestellt. (LOW-aktiv bedeutet, daß ein Signal seine Funktion dann erfüllt, wenn es LOW ist, also auf 0V liegt). Im Text ist diese Darstellung leider nicht möglich. Hier wird durch einen vorangestellten Querstrich angezeigt, wenn ein Signal LOW-aktiv ist, also z.B. -WAIT, -RD.

3.1 Blockschaltbild

Blockschaltbild BUSKOPP



3.2 Beschreibung des Blockschaltbildes

Die Funktion der Buskopplung ist die Anpassung von NDR- und PC-Bus. Diese Anpassung ist notwendig, da die beiden Bussysteme teilweise unterschiedliche Steuersignale verwenden. Eine genaue Beschreibung der einzelnen Signale von NDR- und PC-Bus finden Sie in Kapitel 3.3. Hier wollen wir nur auf die Konvertierung der Signale eingehen.

Die einfachste Form der "Konvertierung", also eine 1:1-Verbindung, finden wir bei den Daten- und Adreßleitungen sowie bei dem Taktsignal CLK. Das RESET-Signal dagegen wird über den Inverter 7404 übertragen, da es beim NDR-Bus im Gegensatz zum PC-Bus LOW-aktiv ist.

Bei den restlichen Signalen können drei größere Blöcke unterschieden werden:

- Interruptsignale:

Die Signale IRQ3, IRQ4 und IRQ7 des PC-Busses werden über Inverter 7406 (Open Collector) auf die NDR-Bussignale -INT, -NMI und Reserve umgelegt. (IRQ = Interrupt Request)

- Ein-/Ausgabe- und Speicherzugriff:

Die NDR-Bussignale -IORQ, -MREQ, -RD und -WR, die für die Auswahl der Schreib- und Lesezugriffe zuständig sind, werden in die PC-Bussignale -IOW, -IOR, -MEMW und -MEMR konvertiert.

- WAIT-State-Generator:

Der Begriff WAIT hat bei Computer-Anwendern meist einen negativen Beigeschmack, da er mit einer Verlangsamung des Systems verbunden wird. Die Erzeugung von WAIT-Zyklen ist aber aus systemspezifischen Gründen bei bestimmten Zugriffen erforderlich, um schnelle teure Bausteine zu sparen.

Die Buskopplung muß eigenständig WAIT-States erzeugen, da die PC-Karten über keine oder eine nicht ausreichende WAIT-Logik verfügen. Am PC-Bus wird das Signal IOCHRDY benützt; es wird von einem externen Gerät auf LOW gelegt, um anzuzeigen, daß diese Einheit den Zyklus verlängern möchte.

Das Einfügen von WAIT-States ist außerdem bei bestimmten Speicher- und IO-Zugriffen erforderlich. Die genaue Erzeugung des WAIT-Signals wird in Kapitel 7.2 ausführlich beschrieben.

3.3 Beschreibung der Bussignale

3.3.1 PC-BUS

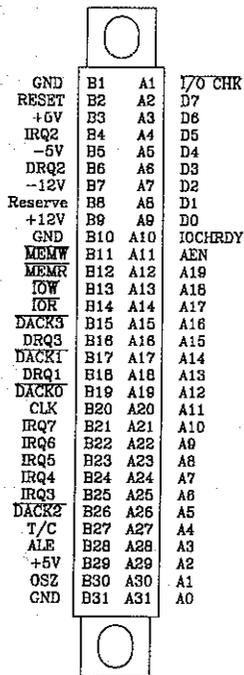
- A0..A19:** Adreßleitungen
Die Adressen werden mit der fallenden Flanke von ALE zwischengespeichert und auf den Bus ausgegeben.
- D0..D7:** Datenleitungen
- I/O CHK:** I/O-Channel Check
Das Signal wird von externen RAM-Erweiterungen verwendet, um einen unkorrigierbaren Fehler anzuzeigen (wird bei der Buskopplung nicht verwendet).
- I/O CH RDY:** I/O CHANNEL READY
Dieses Signal wird von einem externen Gerät auf LOW-Pegel gezogen, um anzuzeigen, daß diese Einheit den Zyklus verlängern möchte. Langsame Ein-/Ausgabe-Einheiten sollten dieses Signal aktivieren, sobald sie ihr Baugruppen-Selektierungssignal erhalten haben. Dieses Signal ist auf dem NDR-Bus das -WAIT-Signal.
- AEN:** Adress Enable
Dieses Signal zeigt an, daß ein DMA-Controller die Bus-Steuerung übernommen hat. Da bei der Buskopplung diese Funktion nicht unterstützt wird, ist AEN auf Masse gelegt.
- OSC:** Der 14,31818 MHz-Takt wird z.B. für die EGA-Karte benötigt. Dieser Takt ist nicht synchron zum Systemtakt.
- ALE:** Adress Latch Enable
zeigt auf dem Bus einen gültigen Speicherzyklus an. Die Adressen auf den Leitungen A0..A19 werden mit der fallenden Flanke von ALE übernommen.
- IOR:** I/O-Read
Lesebefehl für den Ein-/Ausgabe-Bereich. Dieses Signal ist LOW, wenn von einer Ein-/Ausgabeeinheit gelesen wird.
- IOW:** I/O-Write
Schreibbefehl für den Ein-/Ausgabe-Bereich. Dieses Signal ist LOW, wenn auf eine E/A-Einheit geschrieben wird.
- MEMR:** Memory-Read
Lesebefehl für den Speicherbereich. Dieses Signal ist LOW, wenn vom Speicher gelesen wird.
- MEMW:** Memory-Write
Schreibbefehl für den Speicherbereich. Dieses Signal ist LOW, wenn in den Speicher geschrieben wird.

- RESET:** System-Reset
- DRQ1..DRQ3:** DMA Request
Diese Signale führen an die DMA-Controller und zeigen den Wunsch einer Peripherie-Einheit nach direktem Speicherzugriff.
- DACK0..DACK3:** DMA-Acknowledge
Diese Signale sind die Bestätigung auf die DMA-Anforderungssignale DRQ.
- IRQ2..IRQ7:** Interrupt-Request
Ein Hardware-Interrupt wird ausgelöst, wenn eine IRQ-Leitung auf High-Pegel liegt (Request). Der High-Pegel muß solange anliegen, bis die CPU den Interrupt bestätigt.
- CLK:** Clock (Systemtakt)
- T/C:** Terminal Count
Ein DMA-Controller gibt auf die T/C-Leitung einen Impuls, sobald einer seiner DMA-Kanäle die festgelegte Anzahl an DMA-Zyklen erreicht hat.

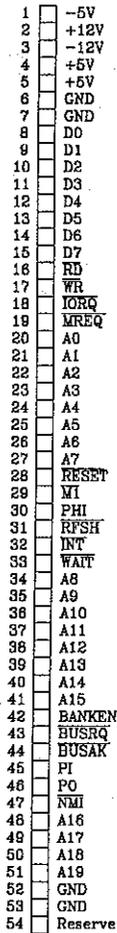
3.3.2 NDR-Bus

- A0..A19:** Adreßleitungen
- D0..D7:** Datenleitungen
- RD:** Read
gibt an, daß die CPU Daten aus dem Speicher oder von einem E/A-Gerät lesen will.
- WR:** Write
gibt an, daß am Datenbus gültige Daten anliegen, die im Speicher oder in einem E/A-Gerät gespeichert werden sollen.
- IORQ:** I/O Request
Das Signal zeigt an, daß am Adreßbus eine gültige Adresse für einen Schreib- bzw. Lesezugriff auf den Ein-/Ausgabebereich anliegt.
- MREQ:** Memory Request
Das Signal zeigt an, daß am Adreßbus eine gültige Adresse für einen Schreib- bzw. Lesezugriff auf den Speicher anliegt.
- RESET:** System-Reset

- M1:** Machine Cycle One
zeigt an, daß während des aktuellen Maschinenzyklus ein Befehls-Byte aus dem Speicher geholt wird. Das Signal wird nur bei Betrieb mit dem Z80 verwendet.
- PHI:** Systemtakt
- RFSH:** Refresh
zeigt an, daß die unteren 7 Bit des Adreßbusses eine Refresh-Adresse für dynamische RAM's enthalten. Ebenso wie -M1 wird dieses Signal nur beim Z80 benutzt.
- INT:** Interrupt Request
Das -INT-Signal wird von Ein-/Ausgabegeräten erzeugt. Wenn die CPU den Interrupt akzeptiert, wird am Beginn des nächsten Befehlszyklus das -IORQ-Signal als Bestätigung geschickt.
- WAIT:** zeigt an, daß die adressierten Speicher- bzw. E/A-Bausteine für einen Datenaustausch noch nicht bereit sind. Die CPU fügt dann so lange Wait-Zyklen ein, wie das Signal aktiv ist.
- BANKEN:** Aktivierungssignal für eine externe Speicherbank
- BUSRQ:** Bus Request
Das Signal wird dazu benützt, den Adreß-Bus und den Daten-Bus aufzufordern, einen hochohmigen Zustand anzunehmen, so daß diese Busse von anderen Geräten kontrolliert werden können.
- BUSAK:** Bus Acknowledge
Das Signal teilt dem auffordernden Gerät mit, daß der Adress- und Daten-Bus ihren hochohmigen Zustand angenommen haben (Vgl. -BUSRQ).
- NMI:** Non Maskable Interrupt
Der -NMI hat eine höhere Priorität als der -INT und wird immer am Ende des laufenden Befehls abgefragt.



Anschlußbelegung PC-Bus



Anschlußbelegung NDR-Bus

4. Aufbauanleitung

4.1 CMOS-Warnung

CMOS-Dausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder transportieren Sie CMOS-Bauteile nur auf dem leitenden Schaumstoff! Alle Pins müssen kurzgeschlossen sein. Bei der BUSKOPP werden keine CMOS-Bauteile verwendet.

Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung, bevor Sie einen Baustein berühren.

Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOP3.

4.2 Stückliste

Stückliste BUSKOPP:

1	BUSKOPPH		Handbuch zur BUSKOPP
1	BUSKOPPP		Leiterplatte BUSKOPP
9	BU001	ST5,ST7,ST10	Buchsenleiste 18pol.
1	7404	J1	6 Inverter
1	7405	J2	6 Inverter (o.K., 15V)
1	7406	J3	6 Inverter (o.K., 50uA)
1	74LS32	J4	4 OR-Gatter mit je 2 Eingängen
1	8284	J5	Takt- und Reset Baustein
1	74LS164	J6	8-Bit Schieberegister
1	BUSKOPPPAL	J7	PAL BUSKOPP 16P8
5	SO14		Socket 14-polig
1	SO18		Socket 18-polig
1	SO20		Socket 20-polig
2	510 Ohm	R1,R2	Widerstand 510 Ohm
1	4,7 kOhm	R3	Widerstand 4,7 kOhm
6	100nF	C1..C5,C7	Kondensator 100nF Keramik
1	10uF	C6	Kondensator 10uF Tantal
1	Q14.31818	X1	Quarz 14,31818 MHz
1	NETZ8X4,7K	RN1	Netzwerkwid. 8x4,7kOhm
1	NETZ4X330	RN2	4x330 Ohm Netzwerkwiderstand
2	MOD2X8	JMP1,JMP2	2x8p Stiftleiste gerade
2	MOD22SH		2p Shuntstecker
3	LATCHBUPC	ST2..ST4	Direktstecker für PC-Baugruppen

Bauteile BUSKOPP

BUSKOPP

IC's und Socket

4.3 Aufbau Schritt für Schritt

Benötigtes Werkzeug:

LötKolben mit temperaturgeregelter Spitze
Lötzinn, säurefrei, mit Kolophonium-Seele
Pinzette
Elektroniker-Seitenschneider

Die Lötseite erkennt man an der Aufschrift "Lötseite". Auf dieser Seite der Leiterplatte wird ausschließlich gelötet. Die Bauteile werden nur auf der Bestückungsseite bestückt.

Beginnen Sie mit dem Einlöten der Widerstände. Es sind 2 Widerstände mit 510 Ohm (**R1, R2**, Farbcode grün-braun-braun) und ein Widerstand mit 4,7 kOhm (**R3**, Farbcode gelb-violett-rot) einzulöten.

Die Anschlußdrähte der Bauteile werden durch die entsprechenden Lötaugen geschoben, bis der Bauteilkörper flach auf der Bestückungsseite aufliegt. Die Anschlußdrähte werden, wenn möglich, auf der Lötseite leicht abgewinkelt, damit das betreffende Bauteil eine erste Fixierung erhält. Nachdem Sie sicher sind, daß keine Fehlbestückung vorliegt, werden die Anschlüsse verlötet und danach, wenn notwendig, zu weit überstehende Anschlußdrähte gekürzt.

Nun folgt die Bestückung der IC-Sockel:

Sie werden zuerst alle, von der Bauteilseite her, eingesetzt und danach mit einem Stück Karton abgedeckt, damit sie beim Umdrehen der Baugruppe in ihrer Position gehalten werden. Bevor nun endgültig alle Anschlußbeine verlötet werden, sollten erst einmal zwei Beinchen pro Sockel gelötet werden (diagonal versetzt). Ungleichmäßigkeiten im Abstand vom Sockel zur Leiterplattenoberfläche und - ganz wichtig - eine eventuell falsche Lage einzelner Sockel (Kerbe in der Fassung muß in die selbe Richtung weisen wie die Nase auf dem Bestückungsdruck) können zu diesem Zeitpunkt noch korrigiert werden. Achten Sie bitte auch darauf, daß Sie nicht einen 14-poligen Sockel auf den Platz eines 18- oder 20-poligen setzen.

Fahren Sie fort mit dem Einlöten der drei PC-Buchsenleisten (**ST2, ST3** und **ST4**). Wie bei der Bestückung der IC-Sockel sollten Sie zunächst bei jeder Leiste zwei Stifte lötten und überprüfen, ob die Leiste parallel zur Leiterplatte aufliegt, bevor Sie sie komplett einlöten.

Bei der Bestückung der drei 54-poligen (3 x 18) Buchsenleisten kommt es darauf an, wie Sie die Buskopplung verwenden wollen. Für den Einsatz im NDR-Gehäuse GEH3 müssen die Buchsenleisten **ST5, ST6** und **ST8** bestückt werden.

Soll die Baugruppe dagegen in ein PC-Gehäuse eingebaut werden, so sind **ST5, ST7** und **ST10** zu bestücken.

Der Tantalkondensator **C6** ist gepolt und darf auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist auf der Leiterplatte und auf dem Kondensator entsprechend gekennzeichnet.

Die Keramik Kondensatoren **C1..C5** und **C7** sind ungepolt und können, ohne auf die Polung zu achten, eingelötet werden.

Die Netzwerkwiderstände **RN1** und **RN2** haben jeweils einen gemeinsamen Anschluß, der auf dem Netzwerkwiderstand und auf der Leiterplatte mit einem kleinen Punkt gekennzeichnet ist (Siehe Skizze 1). RN1 ist ein 8x4,7 kOhm Netzwerkwiderstand, RN2 hat den Wert 4x330 Ohm.

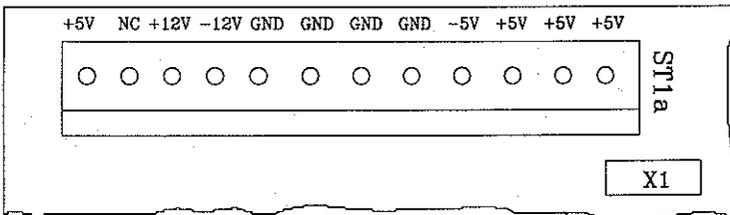
Abschließend werden noch die beiden Stiftleisten **JMP1** und **JMP2**, sowie der Quarz **X1** bestückt. Beim Einlöten des Quarzes müssen Sie sehr behutsam vorgehen, da er sonst beschädigt werden kann.

Falls Sie die Buskopplung als eigenständiges System verwenden wollen, müssen Sie noch die Steckerleiste **ST1a** für die Stromversorgung einlöten (Siehe Skizze 2).

Bevor Sie die IC's einstecken, machen Sie bitte mit Kapitel 5.1 weiter.



Skizze 1: Markierung des gemeinsamen Anschlusses bei Netzwerkwiderständen



Skizze 2: Lage und Anschlußbelegung von ST1a

Abb.: Foto Fertigerät BUSKOPP

5. Testanleitung

Wenn Sie schon größere Erfahrung im Aufbau von Schaltungen haben, können Sie das Kapitel 5.1 überspringen und gleich versuchen, die Baugruppe komplett bestückt in Betrieb zu nehmen. Dies können wir aber nicht empfehlen!

5.1 Erste Prüfung ohne IC's

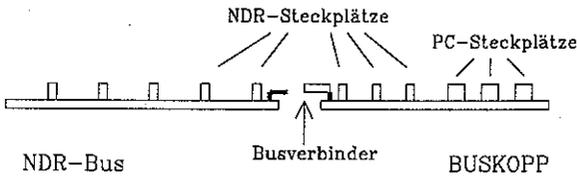
Dieser Test wird auf der mit den Sockeln und den passiven Bauelementen bestückten Leiterplatte durchgeführt.

Zur Kopplung der Baugruppe mit dem NDR-Bus benötigen Sie eine Busverbindung. Diese können Sie unter der Bestell-Nummer 10118 bei uns beziehen.

Für die Verwendung im Gehäuse GEH3 muß die Busverbindung an ST9 eingelötet werden, für den Einsatz im PC-Gehäuse dagegen an ST11.

Beachten Sie bei der Verbindung der Buskopplung mit dem NDR-Bus, daß Sie die Baugruppe richtig herum einsetzen. (Siehe Skizze). Ein falsches Einstecken, z.B. um einen Pin zu weit rechts, kann zu Kurzschlüssen führen und Bauelemente zerstören.

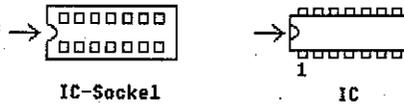
Nach dem Einstecken der Buskopplung muß der Rechner weiter problemlos funktionieren. Falls nein - weiter mit Kapitel 6.



Verbindung von NDR-Bus und BUSKOPP

Nun messen Sie, ob an allen IC-Sockeln die Versorgungsspannung von +5V anliegt. Dabei liegt bei Standard-TTL-Bausteinen jeweils am letzten Pin einer Fassung (z.B. bei 14-poligen an Pin 14) die Versorgungsspannung. 0V bzw. Masse liegt jeweils auf dem letzten Pin der ersten Reihe (bei 14-poligen auf Pin 7). Bei den beiden Nicht-TTL-IC's, die in der Baugruppe vorhanden sind, J5 und J7, herrschen die gleichen Verhältnisse wie bei TTL-Bausteinen (+5V an Pin 18 bzw Pin 20 und Masse an Pin 9 bzw. Pin 10).

Liegen alle Spannungsversorgungen richtig an, können die IC's eingesetzt werden. Schalten Sie dazu den Rechner aus und ziehen Sie die Baugruppe heraus. Beim Einsetzen muß auf die Richtung der IC's geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen (Vgl. Bestückungsplan und Skizze).



Markierung an IC und Sockel

5.2 Test am System

Den ersten Test können Sie durchführen, indem Sie eine NDR-Baugruppe (z.B. IOE2 oder ROA256) in einen Steckplatz der Buskopplung einstecken. Damit wird zunächst einmal überprüft, ob die Busverbindung zur Baugruppe in Ordnung ist.

Um die volle Funktionsfähigkeit der Buskopplung zu überprüfen, benötigen sie eine PC-Peripherie-Karte, also z.B. eine serielle oder parallele Schnittstelle oder eine PC-Graphik-karte. Peripheriekarten werden vom BIOS der CPU8088 ab Version 1.3 unterstützt. Die folgenden beiden Tests beziehen sich auf ein NDR-System mit CPU 8088 und BUSKOPP.

- Test mit einer Hercules-Karte:

Für diesen Test benötigen Sie eine PC-Graphikkarte nach dem Hercules-Standard und einen TTL-Monitor. Dazu müssen Sie die Hercules-Karte in die Buskopplung einstecken und den Monitor über das Anschlußkabel mit der Karte verbinden. Achten Sie darauf, daß sie die Karte richtig herum einstecken; dazu sind auf der Karte und am Stecker die Pinnummern angegeben. Wenn das System ordnungsgemäß funktioniert, darf die Textausgabe jetzt nur noch auf dem Herculesmonitor erfolgen.

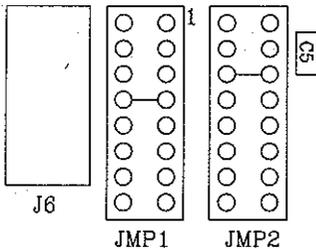
- Test mit einer Schnittstellen-Karte:

Am besten können Sie eine Schnittstellen-Karte überprüfen, wenn Ihnen ein Drucker zur Verfügung steht. Wenn Sie die Karte in die Buskopplung gesteckt haben und das System gestartet haben, können Sie z.B. bei einer parallelen Schnittstelle mit "DIR >LPT1:" das Inhaltsverzeichnis der Diskette auf den Drucker bringen.

Bei einer seriellen Schnittstelle läuft der Vorgang ähnlich ab. Hier muß zunächst mit "MODE COM1:48,n,8,1" die Schnittstelle initialisiert werden, und mit "DIR >COM1" kann das Directory gelistet werden.

5.3 Jumbereinstellungen

Die beiden Jumper JMP1 und JMP2 sind für die Einstellung der WAIT-Zyklen zuständig. Mit JMP1 können die WAIT-States bei I/O-Zugriffen gesetzt werden, während durch JMP2 die WAIT-States bei Speicherzugriffen bestimmt werden. Die erste Brücke ist auf der Leiterplatte mit "1" beschriftet, was einem eingestellten Wait-Zyklus entspricht. Durch Versetzen des Shuntsteckers wird jeweils die Anzahl der WAIT-States erhöht, so daß maximal 8 Zyklen gesetzt werden können. Achten Sie bitte darauf, daß nie mehr als eine Brücke an jedem Jumper eingelegt ist, sonst zerstören Sie den Baustein 74LS164 (J6). Die WAIT-Zyklen werden hauptsächlich für die Farbgraphikkarte EGA benötigt. Bei Anschluß einer EGA-Karte müssen an JMP1 4 WAIT-States und an JMP2 3 WAIT-States eingestellt werden (Siehe Skizze).



Anordnung der Jumper
(Einstellung für EGA-Karte)

6. Anleitung zur Fehlersuche

Sollte Ihre Baugruppe bei den in Kapitel 5 beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen.

Entfernen Sie zunächst die Flußmittelrückstände auf der Lötseite der Baugruppe. Am besten mit Spiritus und einer kleinen, weichen Bürste. Beachten Sie aber die Hinweise auf der Spiritusflasche zum Schutz Ihrer Gesundheit und der Ihrer Mitmenschen.

Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

1. *Altes System:* Sind die bisher verwendeten Baugruppen in Ordnung? (Funktionierte das System ohne die Buskopplung?)
2. *Jumper:* Kontrollieren Sie noch einmal die Stellung der Jumper nach.
3. *Sichtprüfung:* Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Leiterplatte unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen Sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.
4. *IC's:* Überprüfen Sie noch einmal, ob alle IC's an der richtigen Stelle und in der richtigen Richtung stecken. Am besten vergleichen Sie deren Lage nochmal mit dem Bestückungsplan.
5. *Gepolte Bauteile:* Überprüfen Sie die Lage der gepolten Bauteile (Tantalkondensator C6)
6. *Lötstellen:* Haben Sie auch keine Lötstellen vergessen zu löten? (Sehen Sie lieber noch einmal nach)
Sehen Sie irgendwo "kalte" Lötstellen. Man erkennt sie daran, daß sie nicht glänzen, sondern matt und trüb sind. Im Zweifelsfall alle 'verdächtigen' Lötstellen noch einmal nachlöten.
7. *Zu heiß gelötet?* Wenn der LötKolben zu heiß eingestellt war, oder wenn Sie beim Löten zu lange auf dem Lötauge geblieben sind, kann es passieren, daß sich das Lötauge oder Leiterbahnen von der Leiterplatte gelöst haben und Unterbrechungen bilden. Eventuell wurden auch Durchkontaktierungen oder sogar einzelne Bauteile zerstört.
Beheben Sie solche Fehler mit einem kleinen Drahtstück, um die Unterbrechung zu überbrücken.

8. Leiterbahnen:

Nehmen Sie alle IC's aus ihren Fassungen. Prüfen Sie mit einem Durchgangsprüfer oder mit einem Ohmmeter anhand des Layouts alle Leiterbahnen auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie, der Übersicht wegen, auf dem Layout mit Bleistift durchstreichen oder mit Farbstiften nachziehen.

9. Versorgungsspannung:

Messen Sie mit einem Digitalvoltmeter am Bus die Versorgungsspannung nach. Toleranzen von +/- 5% sind erlaubt.

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden haben, ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Ihnen ein Prüfstift oder ein Oszilloskop zu Verfügung steht, dann können Sie überprüfen, ob an den jeweiligen Ausgängen die richtigen Signale anliegen. Welche Signale wo anliegen müssen, können Sie aus der Schaltungsbeschreibung, aus dem Schaltplan und aus Ihren eigenen Überlegungen entnehmen.

Ohne Meßgeräte müssen Sie alle Bauteile systematisch austauschen, bis Sie das fehlerhafte Bauteil gefunden haben. Verwenden Sie dazu eventuell eine zweite Baugruppe, z.B. die eines Freundes oder eines Bekannten.

Sollten Sie bei der Fehlersuche überhaupt nicht zurecht kommen, hilft Ihnen unser Pauschal-Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

7. Schaltungsbeschreibung

Wenn Sie hier weiterlesen, sollten Sie die Beschreibung des Blockschaltbildes in Kapitel 3 gelesen und verstanden haben. Hier werden nur die Funktionen der einzelnen IC's und die Verbindungen untereinander in recht knapper Form beschrieben.

7.1 Steuersignale für Schreib- und Lesezugriffe

Die NDR- und PC-Bussysteme verwenden verschiedene Steuersignale, um auszuwählen, ob der Prozessor Daten schreiben oder lesen soll, und um festzulegen, ob sich der Zugriff auf den Speicher oder einen Ein-/Ausgabebaustein bezieht.

Mit Hilfe von 4 Oder-Gattern (74LS32, J4) werden die NDR-Bussignale wie folgt in die PC-Bussignale konvertiert:

-IORQ + -WR	-->	-IOW	(Ein-/Ausgabe schreiben)
-IORQ + -RD	-->	-IOR	(Ein-/Ausgabe lesen)
-MREQ + -WR	-->	-MEMW	(Speicher schreiben)
-MREQ + -RD	-->	-MEMR	(Speicher lesen)

Wahrheitstabelle:

NDR				PC			
-RD	-WR	-IORQ	-MREQ	-IOR	-IOW	-MEMR	-MEMW
0	1	0	1	0	1	1	1
1	0	0	1	1	0	1	1
0	1	1	0	1	1	0	1
1	0	1	0	1	1	1	0

Die Signale sind sowohl auf PC- als auch auf NDR-Busseite LOW-aktiv. Wenn der Prozessor z.B. einen Lesezugriff auf einen Ausgabebaustein durchführt, sind am NDR-Bus -RD und -IORQ auf LOW; dies bewirkt, daß am PC-Bus das Signal -IOR LOW ist.

7.2 Die WAIT-Logik

Die WAIT-Logik ist notwendig, um langsamere Einheiten am System betreiben zu können. Eine externe Einheit, z.B. ein Ein-/Ausgabe-Baustein, weist durch LOW-Setzen des -WAIT-Signals die CPU an, einen "WAIT-Zyklus" einzufügen, also einen Taktzyklus lang nichts zu tun. Die CPU fügt so lange WAIT-Zyklen ein, bis die externe Einheit das -WAIT-Signal wieder auf HIGH gesetzt hat und damit angezeigt hat, daß sie zur Weiterarbeit bereit ist.

Der WAIT-State-Generator besteht aus dem PAL-Baustein 16P8 (J7) und dem 8-Bit-Schieberegister 74LS164 (J6).

Der PAL-Baustein liefert an Pin 18 das TRIG-Signal. Es ist dann auf HIGH-Pegel, wenn das NDR-Bussignal -IORQ auf LOW-Pegel ist und die Adreßleitung A9 LOW ist, d.h. wenn eine IO-Adresse angesprochen wird, die kleiner als 200H ist; außerdem ist TRIG aktiv, wenn -MREQ LOW ist und gleichzeitig A17 und A19 auf HIGH und A18 auf LOW liegen, d.h. wenn eine Speicheradresse im Bereich A0000H bis BFFFFH angesprochen wird (Dieser Speicherbereich wird von Graphikkarten benützt).

Die Gleichung für das TRIG-Signal lautet entsprechend:

$$\text{TRIG} = \text{-IORQ} \& \text{-A9} + \text{-MREQ} \& \text{A19} \& \text{-A18} \& \text{A17}$$

Das TRIG-Signal wird dem Schieberegister J6/9 als CLR-Signal zugeführt. Solange das TRIG-Signal auf LOW-Pegel ist, sind die Ausgänge QA bis QH des Schieberegisters auf LOW gesetzt. Wenn TRIG HIGH-Pegel annimmt, wird bei der nächsten steigenden Flanke des Taktsignals das HIGH-Signal, das an den Eingängen (J6/1 und J6/2) des Schieberegisters anliegt, auf den Ausgang QA (J6/3) übernommen. Bei jeder weiteren steigenden Flanke von CLK wird das HIGH-Signal um ein Bit nach rechts geschoben, d.h. die Ausgänge QB, QC, usw. werden nacheinander auf HIGH gesetzt.

Über die beiden Jumper-Leisten JMP1 und JMP2 wird je nach JumperEinstellung jeweils ein Ausgang des Schieberegisters dem PAL-Baustein J7 als -IO- (JMP1) bzw. -MEM-Signal (JMP2) zugeführt. Das -IO- bzw. -MEM-Signal ist solange auf LOW-Pegel, bis das HIGH-Signal an dem Ausgang des Schieberegisters, an dem der Jumper gesetzt ist, angekommen ist.

Dieser Sachverhalt soll an einem konkreten Beispiel anschaulich dargestellt werden. Wenn z.B. JMP1 auf "3" gesetzt ist (d.h. wenn -IO mit dem Ausgang QC verbunden ist), so nimmt -IO bei einem Ein-/Ausgabe-WAIT nach drei Taktzyklen HIGH-Pegel an, weil dann das HIGH-Signal bis zum Ausgang QC durchgeschoben wurde. Es werden also drei WAIT-Zyklen eingefügt.

Die Ausgänge des Schieberegisters und das Signal -IO ändern sich dabei mit jedem Taktzyklus folgendermaßen:

CLK	-IORQ	TRIG	QA	QB	QC	QD	QE	QF	QG	QH	-IO	WAIT	-WAIT
	1	0	0	0	0	0	0	0	0	0	0	0	1
	0	1	0	0	0	0	0	0	0	0	0	1	0
┌	0	1	1	0	0	0	0	0	0	0	0	1	0
┌	0	1	1	1	0	0	0	0	0	0	0	1	0
┌	0	1	1	1	1	0	0	0	0	0	1	0	1

Die Voraussetzung für diesen Ablauf ist allerdings, daß wirklich ein Ein-/Ausgabe-WAIT angefordert wurde. Der PAL-Baustein J7 erzeugt nämlich das WAIT-Signal entsprechend folgender logischer Gleichung:

$$\text{WAIT} = \text{-IO} \ \& \ \text{-IORQ} \ \& \ \text{-A9} \ + \ \text{-MEM} \ \& \ \text{-MREQ} \ \& \ \text{A19} \ \& \ \text{-A18} \ \& \ \text{A17}$$

Wenn man diese Gleichung mit der Gleichung für das TRIG-Signal vergleicht, erkennt man, daß das WAIT-Signal nur dann aktiv sein kann, wenn TRIG auf HIGH-Pegel liegt, d.h. wenn ein Wait-State erforderlich ist.

Das -IO-Signal wird dann mit der Bedingung für einen Ein-/Ausgabe-Wait verknüpft, -MEM entsprechend mit der Bedingung für einen Speicher-Wait. In unserem Beispiel müssen also -IORQ und A9 LOW sein. Das WAIT-Signal ist dann solange auf HIGH-Pegel, wie das -IO-Signal LOW ist.

Bei einem Speicher-WAIT muß analog dazu -MREQ LOW sein, und die Adreßleitungen A17 bis A19 müssen entsprechend gesetzt sein. Dann ist WAIT solange HIGH, wie -MEM auf LOW-Pegel ist.

Da bei TTL-Bausteinen offene Eingänge einem HIGH-Signal entsprechen, ist gesichert, daß bei nicht eingelegten Jumpern auch keine Wait-States erzeugt werden, weil -IO und -MEM dann dauernd auf HIGH-Pegel sind.

Das WAIT-Signal, das von J7 erzeugt wird, wird durch den Baustein J2 (74LS05, Open Collector) invertiert (-WAIT ist beim NDR-Bus LOW-aktiv). Durch die "Wired-And"-Verbindung des -WAIT-Signals mit dem PC-Bus-Signal IOCHRDY ergibt sich schließlich das eigentliche -WAIT-Signal, das dem NDR-Bus zugeführt wird. Diese Open-Collector-Inverter sind deshalb nötig, weil auf dieser WAIT-Leitung auch andere Peripheriekarten WAIT-States ausgeben.

Ein WAIT-State kann also sowohl durch das IOCHRDY-Signal als auch vom WAIT-State-Generator durch den oben beschriebenen Ablauf erzeugt werden.

7.3 Der Oszillator

Der Oszillator besteht aus dem Takt- und Resetbaustein 8284 (J5). Er enthält einen internen Oszillator, der durch den Quarz X1 (14,31818 MHz) stabilisiert wird. An den Baustein kann auch ein externer Oszillator angeschlossen werden. Über den Eingang F-C wird dem Baustein mitgeteilt, ob der interne oder externe Oszillator verwendet werden soll. Da in unserer Schaltung der interne Oszillator verwendet wird, liegt dieser Eingang (J5/13) auf Masse.

Der Baustein 8284 liefert an Pin 12 dem PC-Bus das Signal OSC, das für den Betrieb von EGA-Karten benötigt wird.

8. Anwendungen

8.1 CPU 8088 und BUSKOPP

Ein Hauptanwendungsgebiet der Buskopplung dürfte sicher der Einsatz am NDR-Computer mit der CPU 8088 sein. Dem Anwender steht dadurch der Markt von PC-Karten offen.

Am interessantesten sind dabei wohl folgende Erweiterungen:

- Festplatten-Controller (OMTI 5520, WD1002)
- Serielle und parallele Schnittstellen
- Graphikkarten

Bei den Graphikkarten werden alle gegenwärtigen Standardsysteme vom BIOS 8088 ab Version 1.3 unterstützt, also MGA, Hercules, CGA, EGA, VGA.

Die Testanleitung für diese Konfiguration finden Sie unter Kapitel 5 beschrieben.

8.2 NDR allgemein mit BUSKOPP

Auch ohne CPU 8088 ist ein Einsatz der Buskopplung am NDR-Computer möglich. Es kann dann z.B. mit der CPU 68000 unter CP/M68K ein Festplatten-Controller am System betrieben werden.

8.3 Stand-Alone-System mit BUSKOPP

Die Buskopplung ist nicht nur als Erweiterung für NDR-Anwender interessant. Von Einsteigern kann sie als eigenständige Bus-Leiterplatte genutzt werden, wie z.B. beim LEIK-System.

Da die Buskopplung auch über drei NDR-Steckplätze verfügt, kann mit Hilfe der entsprechenden Karten ein eigenständiger Computer aufgebaut werden.

Dabei ist z.B. folgende Konfiguration denkbar:

- auf NDR-Steckplätzen:

- | |
|--|
| <ul style="list-style-type: none">- CPU 8088- ROA256 (Speicherkarte)- FLO-3 (Disketten-Controller) |
|--|

- auf PC-Steckplätzen:

- | |
|--|
| <ul style="list-style-type: none">- Hercules-Graphikkarte mit paralleler Schnittstelle- OMTI 5520 (Festplatten-Controller)- Serielle Schnittstelle |
|--|

9. Kritik, Verbesserungen

9.1 Verbesserungsvorschläge

Keine Baugruppe ist, wenn sie auf den Markt kommt, perfekt und hundertprozentig ausgereift. So wird es auch bei der BUSKOPP noch Verbesserungen geben. Sollten Sie irgendwelche Ungereimtheiten in der Hardware feststellen, möchten wir Sie auf diesem Wege bitten, uns dies schriftlich und detailliert mitzuteilen. Wir werden uns dann bemühen, solche Vorschläge bei einer Revisionsänderung mit aufzunehmen. Wir müssen Sie aber an dieser Stelle auch um Verständnis bitten, daß nicht sämtliche Anwenderwünsche, aufgrund wirtschaftlicher Überlegungen, berücksichtigt werden können.

9.2 Kritik

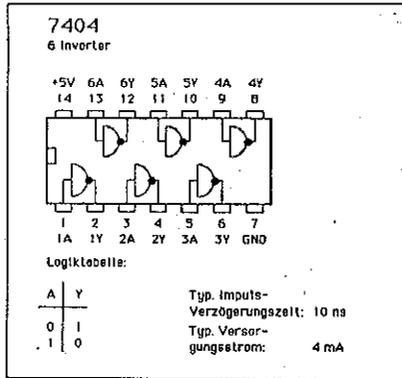
Dem Bausatz bzw. Fertiggerät lag eine Kritikkarte bei. Bitte senden Sie die ausgefüllte Kritikkarte an uns zurück. Sie helfen uns damit, unsere Produkte noch besser zu machen und unseren Service noch besser zu gestalten.

Wir wollen mit dieser Karte nicht auf Adressenfang gehen, sondern wirklich nur prüfen, wie unsere Produkte bei unseren Kunden ankommen. Für Fehlermeldungen und Verbesserungen, die dieses Handbuch betreffen, sind wir immer dankbar.

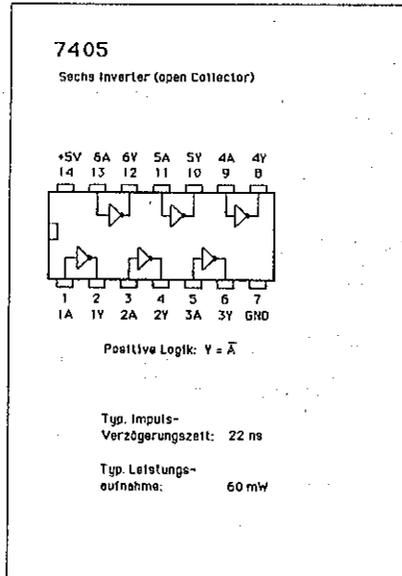
10. Bauelemente

10.1 TTL-Bausteine

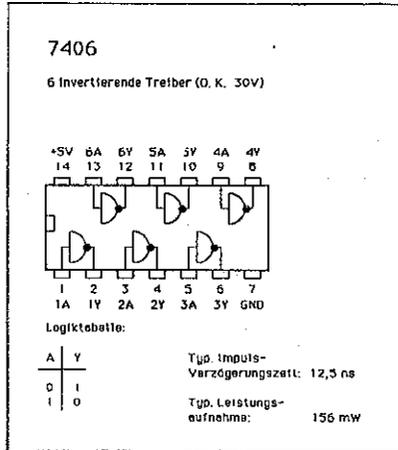
10.1.1 7404



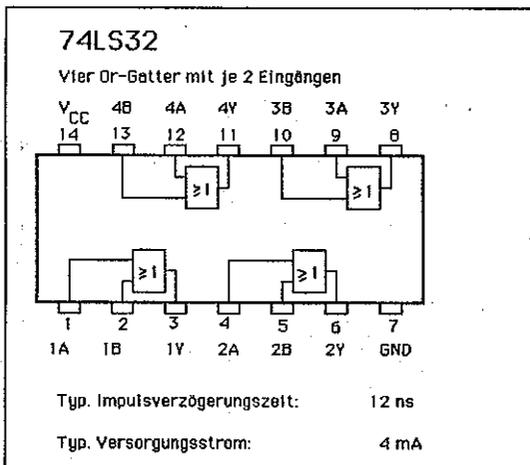
10.1.2 7405



10.1.3 7406



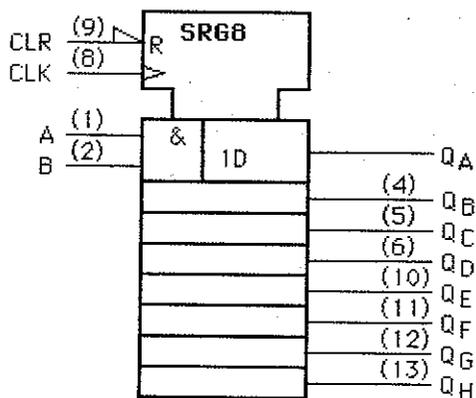
10.1.4 74LS32



10.1.5 74LS164

74LS164

8-Bit Schieberegister mit Parallelausgabe und Clear



Typ. Impulsverzögerungszeit: 19 ns
Typ. Leistungsaufnahme: 93 mW
Min. garantierte Schiebefrequenz: 25 MHz

10.2 PAL

Name gsadal;
Partno U15;
Date 10/14/88;
Revision 02;
Designer rdk;
Company rdk;
Assembly ndradapt;
Location U5;

```

/*****
/* Wait state generation */
/* NDR PC Adapter */
/* rev 2.0 fuer 16P8 ergibt besseres Timing, dann 7405 nicht krit. */
/*
/*****
/* Allowable Target Device Types: 16P8 */
/*****

```

/** Inputs **/

```

Pin 2   = A8   ; /* Adressen fuer IO */
Pin 3   = A9   ; /*
Pin 4   = A16  ; /* Adressen fuer Mem */
Pin 5   = A17  ; /*
Pin 6   = A18  ; /*
Pin 7   = A19  ; /*
Pin 8   = NIORQ; /* select io */
Pin 9   = NMREQ; /* select memory */
Pin 15  = MEM   ; /* mem wait = low */
Pin 16  = IO    ; /* io wait = low */

```

/** Outputs **/

```

Pin 17  = TMPI ; /* Addr. Io */
Pin 14  = TMPM ; /* Addr. Mem */
Pin 18  = TRIG ; /* to 74ls164 */
Pin 19  = WAIT ; /* +wait ausgang */

```

Pin 10 = GND;
Pin 20 = VCC;

/** Declarations and Intermediate Variable Definitions **/

/** Logic Equations **/

/* Hier gleichungen fuer adressbereich */

```

TRIG = !A9 & !NIORQ # A19 & !A18 & A17 & !NMREQ; /* Pos logik */
WAIT = !IO & !NIORQ & !A9 # !MEM & !NMREQ & A19 & !A18 & A17;

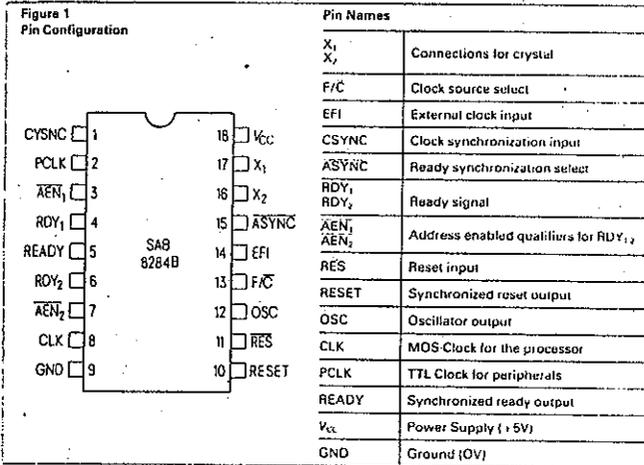
```

10.3 INTEL-Baustein 8284

Preliminary

SAB 8284B, SAB 8284B-1 Clock Generator and Driver for SAB 8086 Family Processors

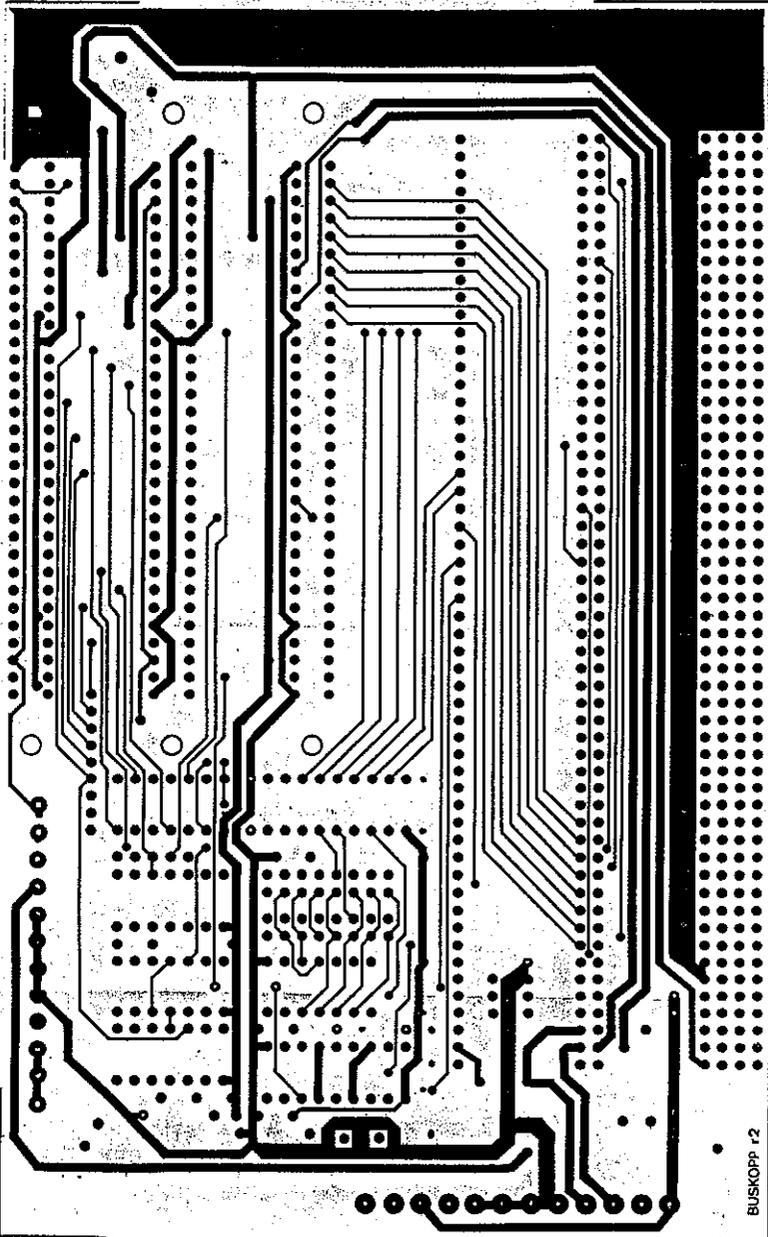
- Fully compatible with SAB 8284A, SAB 8284A-1
- 30% Less Power Supply Current than Standard SAB 8284A, SAB 8284A-1
- Generates the System clock for SAB 8086 and SAB 8088 Processors:
 - upto 8 MHz with SAB 8284B
 - upto 10 MHz with SAB 8284B-1
- Uses a Crystal or a TTL Signal for Frequency Source upto 30 MHz
- Provides Synchronization for Synchronous and Asynchronous READY Signals
- 18-Pin Package
- Single +5V Power Supply
- Generates System Reset Output from Schmitt Trigger Input
- Capable of Clock Synchronization with Other SAB 8284Bs



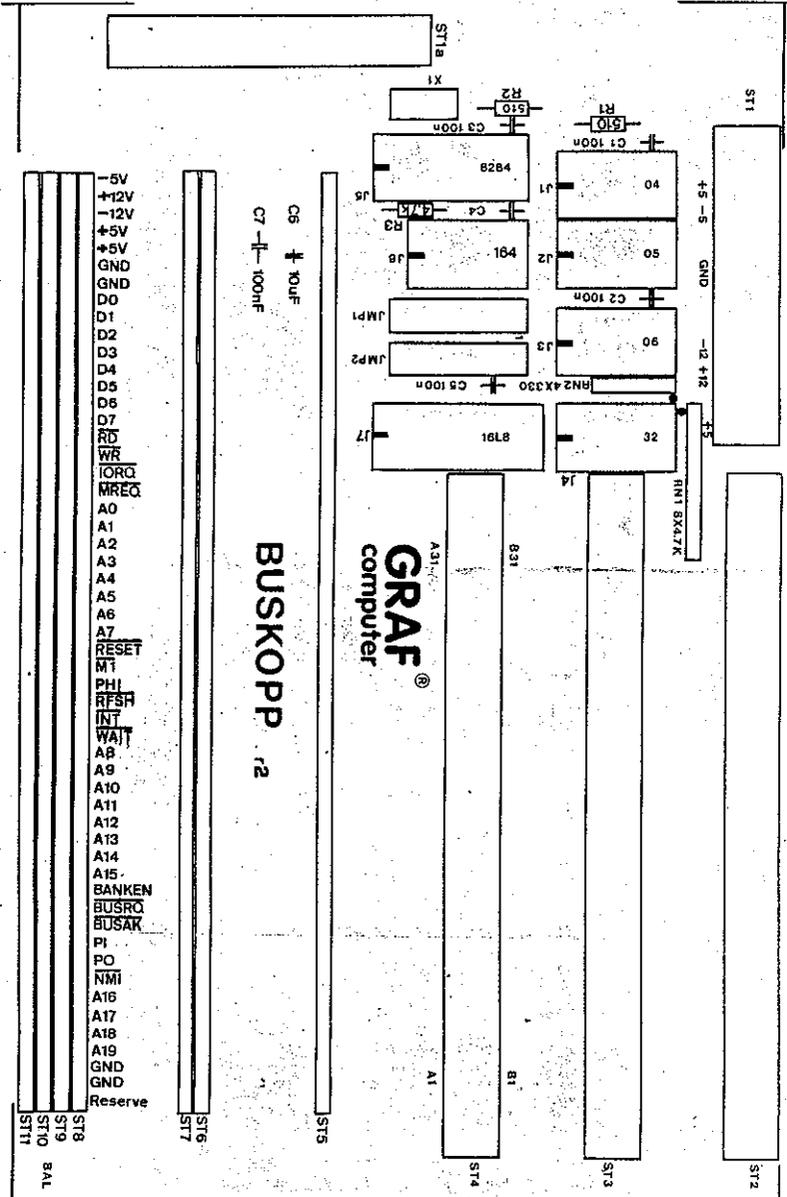
SAB 8284B is a bipolar clock generator/driver designed to provide clock signals for SAB 8086 and SAB 8088 processors and peripherals. It also contains READY logic for operation with two bus systems and provides the processors required

READY synchronization and timing. Reset logic with hysteresis and synchronization is also provided. This device is fabricated in a fast bipolar ASBC (Advanced Standard Buried Collector) process of Siemens.

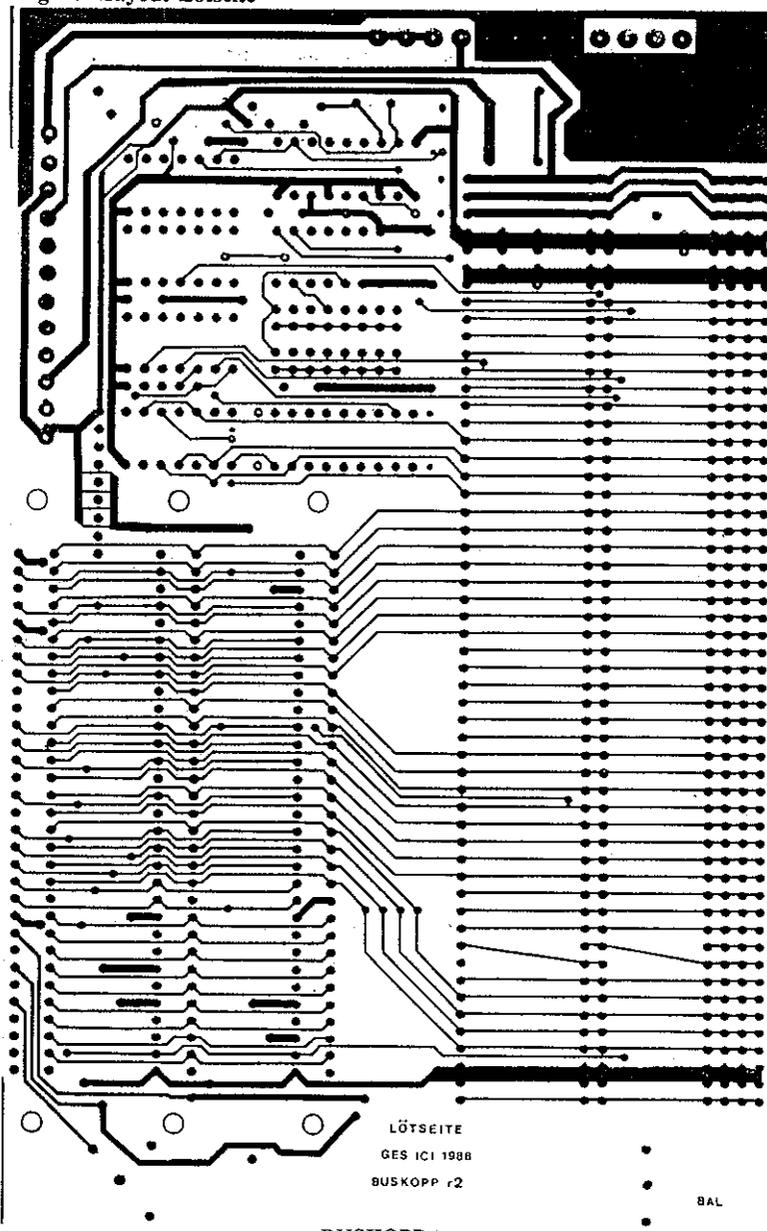
Anhang C: Layout Bestückungsseite



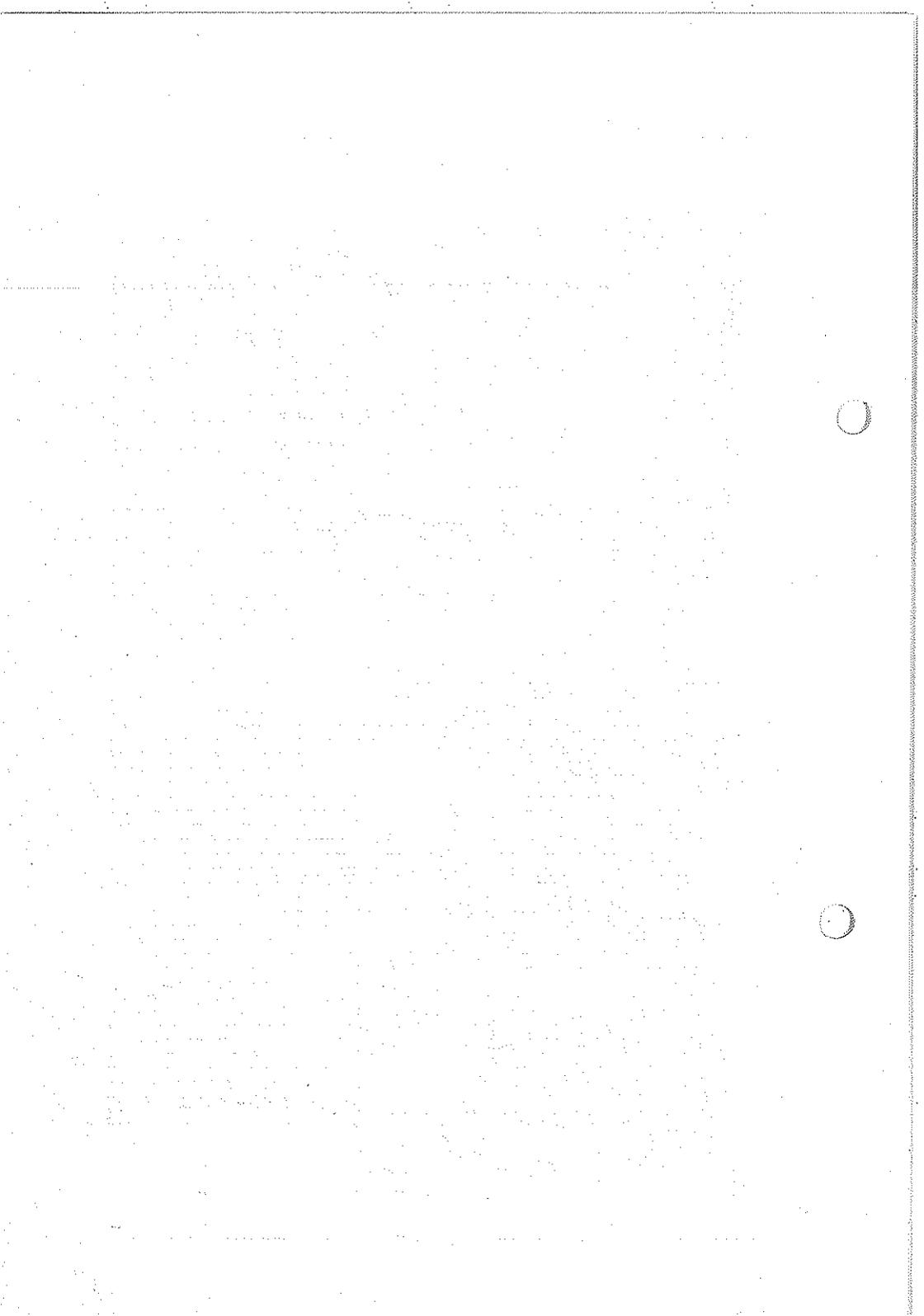
Anhang B: Layout Bestückungsseite mit Bestückungsaufdruck

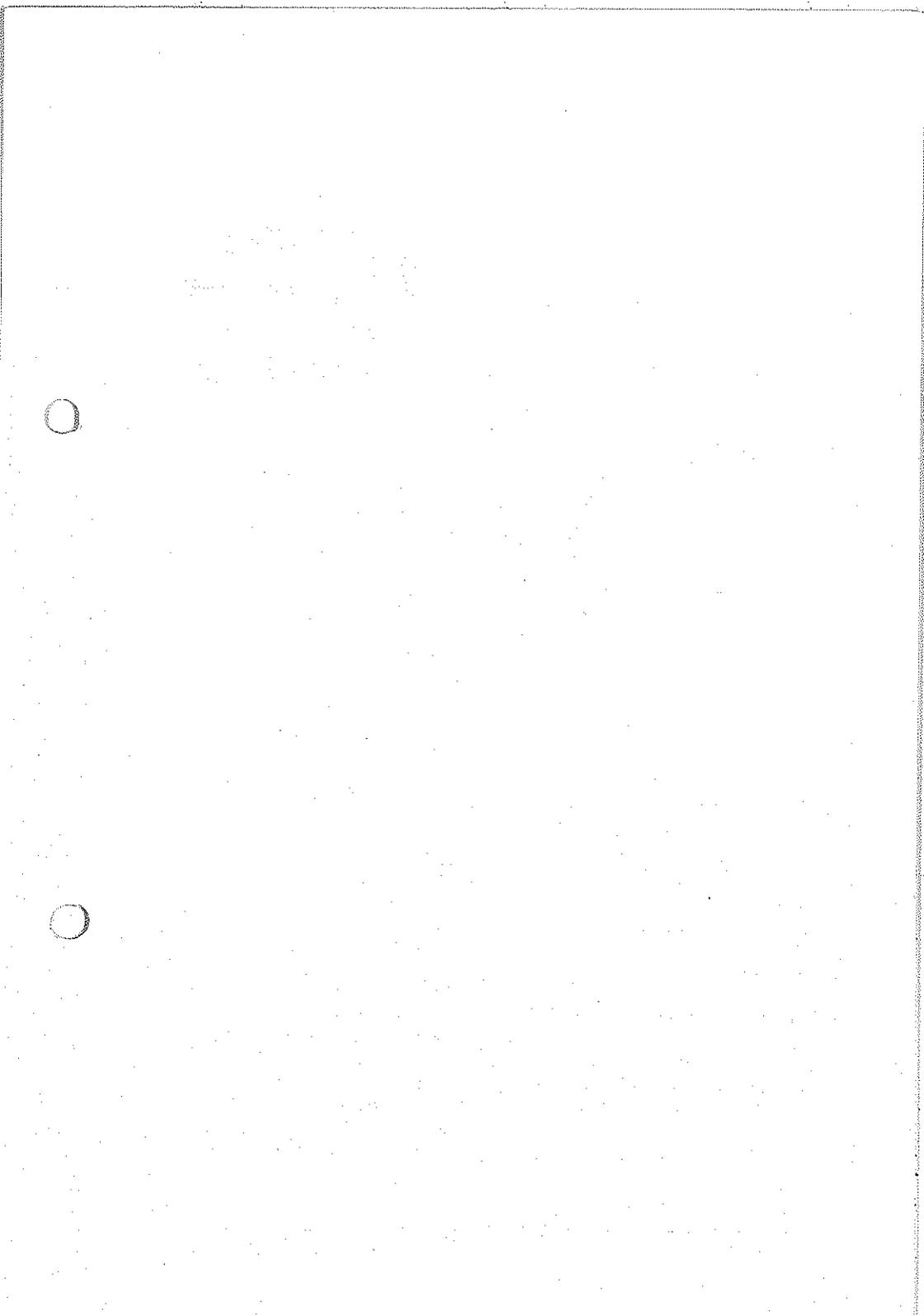


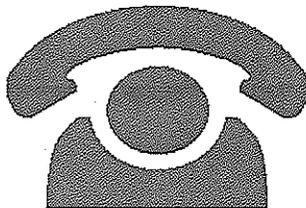
Anhang D: Layout Lötseite



BUSKOPP







Telefonservice
08 31-6211
jeden Mittwochabend
bis 20.00 Uhr

Graf Elektronik Systeme GmbH

Magnusstraße 13 · Postfach 1610
8960 Kempten (Allgäu)
Telefon: (0831) 6211
Teletex: 831804 = GRAF
Telex : 17 831804 = GRAF
Datentelefon: (0831) 6 93 30

Geschäftszeiten: GES GmbH+Verkauf

Mo.-Do. 8.00-12.00 Uhr, 13.00 -17.00 Uhr
Freitag 8.00-12.00 Uhr
Telefonservice Mo.- Do. 14.00 -17.00 Uhr
zusätzlich Mittwoch bis 20.00 Uhr

Filiale Hamburg

Ehrenbergstraße 56
2000 Hamburg 50
Telefon: (040) 38 81 51
Öffnungszeiten:
Mo. - Frei. 16.00-18.00 Uhr

Filiale München

Georgenstraße 61
8000 München 40
Telefon: (089) 2 71 58 58
Öffnungszeiten
Montag - Freitag
10.00 - 12.00 Uhr, 13.00 - 18.00 Uhr
Samstag 10.00 - 14.00 Uhr